

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-30241

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.⁹

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

庁内整理番号

F I

技術表示箇所

5 5 0

審査請求 未請求 請求項の数30 F D (全 16 頁)

(21)出願番号 特願平6-171555

(22)出願日 平成6年(1994)7月1日

(31)優先権主張番号 特願平5-190092

(32)優先日 平5(1993)7月30日

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平6-33217

(32)優先日 平6(1994)2月7日

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平6-98677

(32)優先日 平6(1994)5月12日

(33)優先権主張国 日本(J P)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

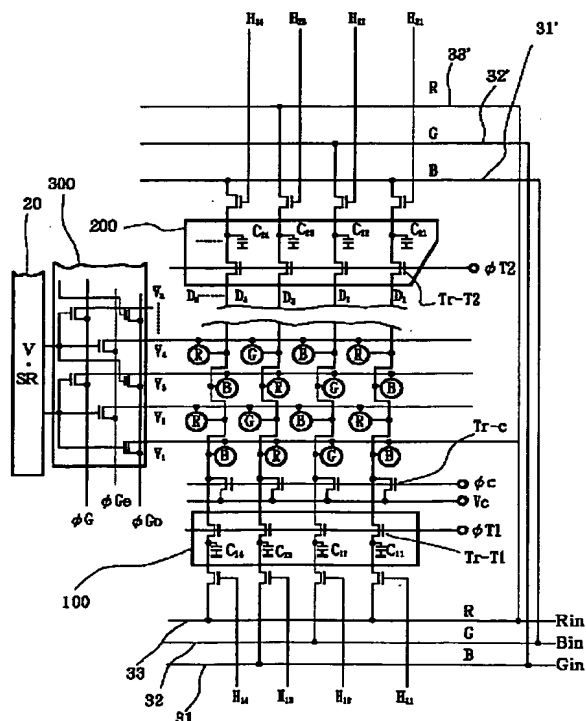
(74)代理人 弁理士 伊東 哲也 (外1名)

(54)【発明の名称】 液晶表示装置及びその駆動方法

(57)【要約】

【目的】 水平および垂直解像度を向上させ、かつ、フリッカを生じない優れた画像品位の表示を行なうこと。

【構成】 各色画素をデルタ配置し、列制御線D_nに前記各色画素から選択された色を接続し、該選択された色に対応して少なくとも1つのメモリ回路100、200;470を設け、画像情報を列制御線の上下に振り分けて各画素に供給することで画像表示を行なう。



(2)

1

【特許請求の範囲】

【請求項1】 行列状に配置され、それぞれスイッチング素子を有する画素の複数と、
該画素に供給される画像信号をサンプリングするための信号を発生する水平走査回路と、
前記画素の行を選択する垂直走査回路とを有する液晶表示装置において、

前記画素の行に共通に接続されたデータ線の複数の一方側に設けられた第1の水平走査回路を含む第1の書き込み手段と、

前記データ線の他方側に設けられた第2の水平走査回路、および該第2の水平走査回路によってサンプリングされた画像信号を記憶する記憶手段を有する第2の書き込み手段とを有することを特徴とする液晶表示装置。

【請求項2】 前記第1の書き込み手段と前記第2の書き込み手段はそれぞれ異なる行の画素に信号を供給する請求項1に記載の液晶表示装置。

【請求項3】 前記第1の書き込み手段はさらに前記第1の水平走査回路によってサンプリングされた画像信号を記憶する記憶手段を有する請求項1に記載の液晶表示装置。

【請求項4】 前記画素の複数は少なくとも3つの異なる色から選択された色のフィルターを有する請求項1に記載の液晶表示装置。

【請求項5】 前記第1の書き込み手段および前記第2の書き込み手段には信号遅延手段を介して画像信号が入力される請求項3に記載の液晶表示装置。

【請求項6】 前記画像信号はそれぞれ赤（R）、緑（G）、青（B）の画像データに基づく信号である請求項5に記載の液晶表示装置。

【請求項7】 横方向に少なくとも異なる3つの色に対応する画素を所定の順序で順次繰り返し配列した横方向画素行を、隣接する行の同一の色に対応する画素が所望量ずらされて縦方向に複数行配置され、前記縦方向に一行おきに形成される同一色に対応する画素列のうち隣接する2つの該縦方向の画素列が同一の列データ線に接続されるとともに、該列データ線の両端にはそれぞれ画像情報を記憶するためのメモリ回路とそれぞれの該メモリ回路に記憶される画像情報を前記メモリ回路に供給するための水平走査回路とを有していることを特徴とする液晶表示装置。

【請求項8】 前記隣接する行の同一の色に対応する画素は

【外1】

$$1\frac{1}{2}$$

ピッチずらされている請求項7に記載の液晶表示装置。

【請求項9】 前記メモリ回路はスイッチング手段と蓄積手段を有する請求項7に記載の液晶表示装置。

【請求項10】 前記メモリ回路には前記少なくとも異なる

2

なる3つの色に対応する色情報を有する画像情報がそれぞれ入力される請求項7に記載の液晶表示装置。

【請求項11】 前記メモリ回路のそれぞれに画像情報を供給するための信号処理回路をさらに有する請求項7に記載の液晶表示装置。

【請求項12】 前記信号処理回路はそれぞれの前記メモリ回路に共通である請求項11に記載の液晶表示装置。

【請求項13】 前記信号処理回路はそれぞれの前記メモリ回路に対応して設けられている請求項11に記載の液晶表示装置。

【請求項14】 前記メモリ回路はメモリをリセットするためのリセットスイッチを有する請求項7に記載の液晶表示装置。

【請求項15】 前記画素はスイッチング素子および画素電極を有する請求項7に記載の液晶表示装置。

【請求項16】 前記異なる3つの色は赤（R）、緑（G）、青（B）である請求項7に記載の液晶表示装置。

【請求項17】 前記メモリ回路に記憶される画像情報の前記異なる3つの色に対応する画像信号のサンプリングタイミングを同時化する信号遅延手段をさらに有する請求項7に記載の液晶表示装置。

【請求項18】 前記信号処理回路は信号遅延手段を有する請求項11に記載の液晶表示装置。

【請求項19】 前記信号遅延手段は前記異なる3つの色に対してそれぞれ遅延時間が異なる遅延回路を有する請求項17に記載の液晶表示装置。

【請求項20】 前記信号遅延手段とは別に、さらに所定時間、前記異なる3つの色に対応する画像信号を遅延させる遅延手段をさらに有する請求項17に記載の液晶表示装置。

【請求項21】 行列状に配置され、それぞれスイッチング素子を有する画素の複数と、
該画素に供給される画像信号をサンプリングするための信号を発生する水平走査回路と、
前記画素の行を選択する垂直走査回路とを有する液晶表示装置の駆動方法において、

前記画素の列に共通に接続されたデータ線の複数の一方側に設けられた第1の水平走査回路によりサンプリングされた画像データを前記画素の行の第1の行に書き込むステップaと、

前記データ線の他方側に設けられた第2の水平走査回路によりサンプリングされた画像データを記憶するステップbと、

該記憶された画像データを前記画素の行であって、前記第1の行に隣接する行に書き込むステップcとを有することを特徴とする液晶表示装置の駆動方法。

【請求項22】 前記ステップaは前記サンプリングされた画像データを記憶するステップdと、該記憶された

50

(3)

3

画像データを書き込むステップeを有する請求項21に記載の液晶表示装置の駆動方法。

【請求項23】 前記ステップaおよびステップbのサンプリングの前に、画像データを遅延させるステップfを有する請求項21に記載の液晶表示装置の駆動方法。

【請求項24】 前記ステップdは前記データ線の容量に電荷を蓄積するステップである請求項22に記載の液晶表示装置の駆動方法。

【請求項25】 横方向に少なくとも異なる3つの色に対応する画素を所定の順序で順次繰り返し配列した横方向画素行を、隣接する行の同一の色に対応する画素が所望量ずらされて縦方向に複数行配置され、前記縦方向に一行おきに形成される同一色に対応する画素列のうち隣接する2つの該縦方向の画素が同一の列データ線に接続された液晶表示装置の駆動方法であって、画像情報を有する信号を、前記列データ線に接続された画素の色に対応する情報信号を色ごとに2系統の書き込み手段として振り分けて、対応する各画素に供給することを特徴とする液晶表示装置の駆動方法。

【請求項26】 前記上下に振り分けられた情報信号はそれぞれ記憶された後に所望の行ごとに転送される請求項25に記載の液晶表示装置の駆動方法。

【請求項27】 前記情報信号は上下に振り分ける前に前記異なる3つの色に対応して所定の時間遅延されている請求項25に記載の液晶表示装置の駆動方法。

【請求項28】 前記情報信号は、さらにサンプリングする前にさらに所定時間遅延させている請求項27に記載の液晶表示装置の駆動方法。

【請求項29】 前記上下に振り分けられた情報信号のサンプリングタイミングは異なっている請求項25に記載の液晶表示装置の駆動方法。

【請求項30】 隣接する2つの画素行間での異なる3つの色に対してそれぞれ遅延時間が異なる請求項17に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置およびその駆動方法に関し、さらに詳しくは、高品位な画像表示を行うことができる液晶表示装置およびその駆動方法に関する。

【0002】

【従来の技術】近年、表示素子として薄型化が可能で、低消費電力である液晶表示素子を利用した液晶表示装置のカラー化に対する実用化が進んでいる。以下、カラー液晶表示装置および駆動方法につき、図面を用いて説明する。

【0003】図1はカラー液晶表示装置の一例を説明するための図で、(a)はその模式的構成図、(b)はそのフィルタの色配置を示す模式的構成図である。図1において、10は液晶表示素子、11は半導体層にアモル

4

ファスシリコンやポリシリコンなどを用いたTFTなどのスイッチングトランジスタ、12は画素電極、13は行制御線、14は列制御線、20は垂直走査回路(V・SR)、30は水平走査回路(H・SR)、40は信号処理回路、50は制御回路である。また、図1(b)に示されるフィルタ15はRが赤色、Gが緑色、Bが青色を示しており、また、この配置順で前述の画素電極12に対応している。

【0004】図1(a)に示されるように、液晶表示素子10は各画素ごとにスイッチングトランジスタ11を有しており、該スイッチングトランジスタはソース(またはドレイン)を列データ線14に、ドレイン(またはソース)を画素電極12に、そして、ゲートを行制御線にそれぞれ接続されている画素を多数有している。

【0005】各画素電極12の配置位置は縦方向および横方向が直線状に配列され、それにとまって、フィルタ15は各色ごと縦方向および横方向に直線状に配列されている。

【0006】また、上記行制御線13はそれぞれ垂直走査回路に、上記列制御線14はそれぞれ水平走査回路30に接続されている。垂直および水平走査回路20、30にはそれぞれ制御回路50からの信号が入力される。また、水平走査回路30にはさらに信号処理回路40からの画像情報を有する信号が入力される。

【0007】行制御線13には垂直走査回路20から、一水平走査期間ごとに順次パルスが印加され、連なる画素ごとのトランジスタ11をON/OFF制御する。列電極線14には、水平走査回路30により信号処理回路40からの色信号R、G、Bが順次選択され供給される。制御回路50は表示装置の垂直走査、水平走査および信号処理回路等をシステムの動作に従い駆動制御する。

【0008】図2は図1に示される色フィルタ配置の場合の色信号入力方法を示す。図1に示される色フィルタは列データ線14で見ると一画素行ごとにR、G、Bの順に信号を入力させる必要がある。従って一行ごとに信号線31、32、33の色信号を色切替回路41で切替える。

【0009】従って、信号処理回路40からのR、G、Bの各色情報を有する信号は各フィルタ15に対応する色情報を有する信号に振り分けられてそれぞれ信号線31、32、33に入力され、水平走査回路30によってスイッチング素子16をON/OFFして列データ線14に接続された画素に対応する色情報を有する信号を供給する。

【0010】しかしながら、図1の場合、同色フィルタが斜め配置となっているため、斜めに色、線として見えることから画質を劣化させること、また色切替回路が必要であることから、より画質の劣化を防ぎ、また、少ない回路で構成することが考えられてきた。

50

(4)

5

【0011】その一つを図3を用いて説明する。図3に示される例は、上記したような画質劣化の問題を解決するために、行制御線13に接続される画素列のうち、奇数列および偶数列をそれぞれ同一の色フィルタ順のくり返しとし、かつ、そのくり返し単位を奇数列に対して偶数列の色フィルタのくり返し単位を

【0012】

【外2】

$$1\frac{1}{2}$$

画素ずらして配置、所謂デルタ配置した例である。また、列データ線14においては、千鳥状に配置された同色の画素ごとに接続されている。

【0013】このようにすることで、隣接行の画素で見れば、水平サンプリング周波数が2倍になり解像度が向上する。また列電極線に対し同一色を接続したため、色切替回路が不要となる。さらに、斜め方向に同色画素が並ばないため斜め色線の問題を解消することができる。

【0014】このように図3に示される構成は垂直方向230画素程度から成るフィールド表示の簡易エレクトロニックビューファインダー(EVF)等に利用されている。

【0015】尚、このようなさほど高解像度でない表示素子のフィールド表示では一水平走査ごとの画素サンプリングは

【0016】

【外3】

$$1\frac{1}{2}$$

画素ずらして行うことで問題のない画像表示を行うことができる。

【0017】図4はアクティブマトリックス型のカラー液晶表示装置の別の一例を示すブロック構成図である。図中、410は表示画素部、420は表示画素部410の垂直走査を行うための垂直走査回路、430は入力画像信号をサンプリングして表示画素部410に出力するサンプリング回路、440はサンプリング回路430におけるサンプリングのための水平走査回路である。

【0018】表示画素部410の単位画素は、スイッチングトランジスタ411、および液晶と画素保持容量412からなり、スイッチングトランジスタ411のゲートはゲート線413により垂直走査回路420に接続され、スイッチングトランジスタ411の入力端子は垂直方向データ線414によりサンプリング回路430に接続されている。画素容量412の他端は、共通電極線412-Aに接続されており、共通電極電圧VLCが印加される。

【0019】サンプリング回路430の入力には、信号処理回路450からのカラー信号(赤、青、緑)が供給される。信号処理回路450は、入力画像信号に対し、

6

液晶特性を考慮したガンマ処理や、液晶の長寿命化のための反転信号処理などを施す。制御回路460では、入力画像信号に基づき、垂直走査回路420、水平走査回路440、信号処理回路450等へ供給する必要なパルスが形成される。

【0020】図5は表示画素部410とサンプリング回路430の等価回路図である。表示画素部410には、異なる3つの色、赤、緑および青に対応するR、G、Bの画素がR、G、Bの順序で横方向(水平方向)に順次繰り返して並べて各行が構成され縦方向(垂直方向)に配列された複数の画素行を有する。各隣接行間では、同一色の画素位置が1.5画素分の距離だけずれている。すなわち、各画素(R、G、B)はデルタ状に配置され、各データ線414(d1, d2...)には、行毎に、両サイドに、同一色の画素が接続されている。サンプリング回路430は、スイッチングトランジスタSW1, SW2...と、容量(垂直方向データ線の寄生容量と画素容量)とから構成され、スイッチングトランジスタSW1, SW2...のゲートがそれぞれ水平走査回路440からのパルスh1, h2...によって駆動されることにより、入力信号線416の各色の信号を、データ線414(d1, d2...)を経て各画素へ転送し書き込む。その際の行の選択は、垂直走査回路420からの垂直パルスφg1, φg2...によって制御される。

【0021】図6は、テレビジョンの垂直走査線数と同等の垂直方向画素数を有する液晶表示装置におけるインターレース走査の様子を示す説明図である。表示画素部の各行の画素(以下、行画素という)を垂直走査パルスφg1, φg2...に対応させ、記号g1, g2...で示す。奇数フィールドでは、水平走査線odd1の信号は、行画素g2とg3に書き込まれ、同様に、odd2の信号は行画素g4とg5に書き込まれる。odd3以降も2行毎に駆動される。また、偶数フィールドでは、走査の組合せが一行ずれて、even1の信号は行画素g1とg2に書き込まれ、even2の信号は行画素g3とg4に書き込まれ、以降の信号も同様に2行毎に書き込まれる。

【0022】この図6の走査例を図4の例に応用した場合の駆動タイミング例を図7に示す(この駆動法を2線同時駆動とする)。奇数フィールドのodd1では、行画素g2とg3に対応する垂直パルスφg2とφg3が“H”(ハイ状態)となってその行画素の各画素トランジスタ411は導通状態となり、サンプルホールド回路430で順次サンプリングされた画像信号が、行画素g2とg3の各画素に書き込まれる。このサンプリングは、水平走査パルスh1, h2...の“H”期間でなされる。odd2以降の走査でも、同様な駆動が行なわれる。

【0023】ところで、近年とくにEVFや液晶プロジェクタ用に用いられる液晶表示素子の更なる高精細画像

(5)

7

化が要望されている。

【0024】たとえば、EVFや液晶プロジェクターなどでは、さらに高精細画像を得るために垂直方向460画素あるいはそれ以上のパネルが開発されつつある。垂直460画素のパネルでテレビジョン信号を表示する場合、前述したようにまずインターレース駆動が考えられる。インターレース駆動では30Hz周期で交流反転駆動を行うと15Hzのフリッカが発生する。このフリッカを低減するには60Hz周期、すなわち、フィールド周期で各画素を駆動する必要がある。

【0025】そこで図2に示される構成でフィールド駆動を行う場合、前述の例のように2行の画素行を同時に駆動する方法が考えられる。2行同時駆動によりフリッカは低減できるが、2行間で1.5画素ずれた画素にも同一のサンプリング信号が印加されるため水平解像度が劣化してしまうという問題点が発生する。

【0026】また、この2線同時駆動によれば、同時に駆動される2つの行画素の空間的に1.5画素分離れた画素に同一サンプリング信号が書き込むので、駆動法は簡単ではあるが、サンプリング周波数の向上はなく、低解像度で色モアレが発生する。また、この水平方向に1.5画素分ずれた画素ずれ配置が、奇数フィールドと偶数フィールドとで1行ずらした行画素の組合せによる駆動により、画像のエッジ部分がジグザグに表示されるという悪影響を及ぼす。

【0027】また、水平走査パルス h_1 、 h_2 、 h_3 は3色(R, G, B)の画素を点順次にサンプリングするために、高画素数のパネルでは、駆動周波数が非常に高くなる。例えば、NTSC方式で、水平画素数約600ケのパネルでは、画素ずれ配置を考慮した2行分のサンプリング周波数は約20MHzになる。ハイビジョンの表示では水平画素数1500ケ以上が必要とされており、その場合サンプリング周波数は約50MHz以上となる。現状のTFT液晶でも、駆動可能な周波数は十数MHzである。したがって、高画素のパネルを駆動するには複数の走査回路が必要である。

【0028】このように、上記した2線同時(フィールドずらし)駆動法は、解像度を劣化させる場合がある。また、水平駆動周波数が高くなるために、複数の走査回路が必要で、これは多数の駆動パルスと消費電流の増大をまねく場合があるという問題点が生じることがある。

【0029】そこで水平解像度を劣化させないため図8で示される列電極線接続が考えられる。図8に示されるのは、列データ線14の数を2倍に増して同一色画素どうしをそれぞれ接続する構成である。

【0030】このように構成して、かつ、2つの行画素のサンプリングを $H1n$ と $H2n$ でずらすことにより水平解像度の劣化はなくすることができる。

【0031】しかし列データ線の配線を増すことにより半導体プロセスが複雑になり、また各画素の開口率が

8

幅に低下し、微細化を考えると適当な構成とはいいいく。また、別に、フレームメモリあるいはフィールドメモリを利用してノンインターレースで画像表示を行う表示方法が考えられる。具体的には、画像信号と水平走査の周波数を2倍にして、図9に示すように一水平走査期間に、順次、2水平画素を駆動する倍速走査である。

【0032】上記2線同時駆動法の画像改善法としてこのような倍速走査法がある。しかし、倍速走査ではフレームメモリや高帯域の信号処理ICが必要であり、非常にコストがかかり、高消費電力な表示装置になってしまう場合があった。

【0033】本発明は上述の問題点を解決し、より高解像、高品位の画像表示が行なえる液晶表示装置およびその駆動方法を提供するものである。

【0034】また、本発明はフレームメモリを使用することなく、簡単な回路の付加により、テレビジョンと同等な走査線数の画素に高解像、高品位の表示を行なうことが可能なアクティブマトリックス型の液晶表示装置およびその駆動方法を提供することを目的とする。

【0035】さらに本発明は、テレビジョンと同等以上な走査線数の画素に、低水平駆動周波数のパルスで画像信号をサンプリングし、高解像度な画像表示を行なうことが可能な液晶表示装置およびその駆動方法を提供することを目的とする。

【0036】さらに本発明は、色切替えが容易でかつ、高精細のカラー液晶表示装置を容易に駆動でき、また、列データ線に2色を交互に配置しても色の混合もなく、水平走査回路も通常の駆動周波数で動作出来るので低電力である液晶表示装置およびその駆動方法を提供することを目的とする。

【0037】加えて、本発明はより高い水平・垂直解像度を有し、かつフリッカのない画像表示を行なうことができる液晶表示装置およびその駆動方法を提供することを目的とする。

【0038】加えて、本発明は2つの画像入力手段を設けるという簡単な構成で高精細の画像が得られる液晶表示装置およびその駆動方法を提供することを目的とする。

【0039】また、本発明はフレームメモリなどが不使用であるため、低消費電力、小型で安価なアクティブマトリックス液晶表示装置およびその駆動方法を提供することを目的とする。

【0040】本発明は、水平駆動周波数を大幅に低減してサンプリング時間を長くすることができ、画像信号に忠実な高解像度の表示を可能にするとともに、消費電力を低減させることができる液晶表示装置およびその駆動方法を提供することを目的とする。

【0041】また、本発明は、行列状に配置され、それぞれスイッチング素子を有する画素の複数と、該画素に供給される画像信号をサンプリングするための信号を発

50

(6)

9

生する水平走査回路と、前記画素の行を選択する垂直走査回路とを有する液晶表示装置において、前記画素の行に共通に接続されたデータ線の複数の一方側に設けられた第1の水平走査回路を含む第1の書き込み手段と、前記データ線の他方側に設けられた第2の水平走査回路、および該第2の水平走査回路によってサンプリングされた画像信号を記憶する記憶手段を有する第2の書き込み手段とを有する液晶表示装置を提供することを目的とする。

【0042】加えて本発明は、横方向に少なくとも異なる3つの色に対応する画素を所定の順序で順次繰り返し配列した横方向画素列を有する行を、隣接する行の同一の色に対応する画素が所望量ずらされて縦方向に複数行配置され、前記縦方向に一行おきに形成される同一色に対応する画素列のうち隣接する該縦方向の画素が同一の列データ線に接続されるとともに、該列データ線の両端にはそれぞれ画像情報を記憶するためのメモリ回路とそれぞれの該メモリ回路に記憶される画像情報を前記メモリ回路に供給するための水平走査回路とを有している液晶表示装置を提供することを目的とする。

【0043】また、本発明は、行列状に配置され、それぞれスイッチング素子を有する画素の複数と、該画素に供給される画像信号をサンプリングするための信号を発生する水平走査回路と、前記画素の行を選択する垂直走査回路とを有する液晶表示装置の駆動方法において、前記画素行に共通に接続されたデータ線の複数の一方側に設けられた第1の水平走査回路によりサンプリングされた画像データを前記画素行の第1の行に書き込むステップaと、前記データ線の他方側に設けられた第2の水平走査回路によりサンプリングされた画像データを記憶するステップbと、該記憶された画像データを前記画素の行であって、前記第1の行に隣接する行に書き込むステップcとを有する液晶表示装置の駆動方法を提供することを目的とする。

【0044】さらに本発明は、横方向に少なくとも異なる3つの色に対応する画素を所定の順序で順次繰り返し配列した横方向画素行を、隣接する行の同一の色に対応する画素が所望量ずらされて縦方向に複数行配置され、前記縦方向に一行おきに形成される同一色に対応する画素列のうち隣接する該縦方向の画素が同一の列データ線に接続された液晶表示装置の駆動方法であって、画像情報を有する信号を、前記列データ線に接続された画素の色に対応する情報信号ごとに上下に振り分けて、対応する各画素に供給することを特徴とする液晶表示装置の駆動方法を提供することを目的とする。以下、本発明の実施例を図面を参照しながら説明する。

【0045】

【実施例】

【実施例1】図10は、本発明の好適な一実施例を説明するための模式的構成図である。同図において31、3

10

2、33および31'、32'、33'はそれぞれ各色(R、G、B)の画素のフィルタに対応する色情報を有する信号線、100および200はそれぞれ各信号線31、32、33および31'、32'、33'の信号をサンプリングして記憶するメモリ回路、300はインターレース回路である。これらにより各画素に駆動信号が供給される。各画素には液晶に駆動信号を印加するためのスイッチングトランジスタや画素電極、およびフィルタが設けられている。

10 【0046】図10に示すように、各行の画素はG、R、Bの順で順次繰り返して配置されており、隣接する行の画素はこの繰返しピッチの1/2だけ相互にずらして配置されている。すなわち上記したデルタ配列とされている。したがって、同一色の画素は隣接行間で1.5画素分(

【0047】

【外4】

$$1\frac{1}{2}$$

20 画素分)相互にずれた配置となる。列データ線D1、D2、…Dnにはそれぞれ、各行の対応する画素の色がBとR、GとB、RとGのいずれかの組合せとなるように画素が接続される。図10においては、列データ線Dnに対して、BとR、GとB、RとGのいずれかの組のうちのいずれか一方の色の画素が左側、他方が右側となるように振り分けてある。また列データ線D1、D2、…Dnにはそれぞれ、列データ線の残留電荷をリセットするリセットスイッチTrcが接続され、そのゲート線にはリセットパルスφc、ソースにはリセット電位Vcが印加される。さらに、列データ線D1、D2、…Dnは各色信号を供給するためのメモリ回路100および200に接続されている。メモリ回路100および200は蓄積手段であるコンデンサ群C1nおよびC2nと、スイッチング手段であるトランスファスイッチ群Tr-T1およびTr-T2とをそれぞれ有する。

30 【0048】メモリ回路100および200から列データ線D1、D2、…Dnへの信号転送は、トランスファスイッチ群Tr-T1およびTr-T2の各ゲートに印加されるトランスファパルスφT1およびφT2により制御される。列データ線D1に連なるメモリC11にはR信号が、メモリC21にはB信号が蓄積される。同様に列データ線D2のメモリC12にはB信号、C22にはG信号…が蓄積される。信号線31、32、33と31'、32'、33'から各メモリ回路100および200への信号取込みは、水平シフトレジスタからのビットパルスH1nおよびH2nにより制御される。

50 【0049】各画素のスイッチングトランジスタのゲートに接続された行制御線Vnはインターレース制御回路300に導かれる。インターレース制御回路300のスイッチトランジスタのゲート電極は垂直走査回路20へ

(7)

11

導かれ、ソース電極にはそれぞれゲートパルス ϕG_o 、 ϕG_e 、 ϕG が印加される。

【0050】図11は図10に示した実施例の概略的ブロック図である。パネル（液晶表示素子）10の上下に水平走査回路30-1および30-2と、メモリ回路100および200を設けている。図11に示されるように、録画再生器60からの信号は信号処理回路40と制御回路50にそれぞれ入力され、制御回路50からの信号は2つに振り分けられた水平走査回路30-1および30-2にそれぞれ入力される。また、信号処理回路40からの信号は同様に2つに振り分けられたメモリ回路100および200にそれぞれ入力される。制御回路50からは、さらに垂直走査回路20と信号処理回路40にも信号が供給されるように構成される。

【0051】図12に図10に示される実施例のタイミング図を示す。図示R、(G、B)は信号線31~33、31'~33'に入力された信号である。各色信号は水平走査回路のパルス $\phi H1n$ 、 $\phi H2n$ によりメモリ100、200に一時蓄積される。 $\phi H1n$ パルスでそれぞれR、B、G信号が順次サンプリングされ、 $\phi H2n$ パルスでそれぞれB、G、R信号が順次サンプリングされる。図のように $\phi H1n$ と $\phi H2n$ は位相が180度異なる。

【0052】水平有効走査期間が終了すると、行制御線（ゲート線）V1にゲートパルス ϕG_o （P2）が印加されるとともにリセットパルス ϕc （P1）が同時に印加される。したがってゲート線V1に連なる画素と列制御線は電位Vcにリセットされる。

【0053】このリセット電位は色信号の黒電位が望ましいが、反転信号の中間電位でも良い。次に ϕc がOFFしトランスファパルス $\phi T1$ （P3）がONし、メモリ100の信号電荷はゲート線V1に連なる画素に書込まれる。

【0054】引き続いてゲート線V2にゲートパルス ϕG_e （P5）が印加されるとともにリセットパルス ϕc （P2）が印加され、画素と列電極線はリセットされる。そしてパルス $\phi T2$ （P6）がONし、メモリ200の信号電荷はゲート線V2に連なる画素に書込まれる。同様な動作が1フィールド期間くり返される。次のフィールドではゲートパルス ϕG_e 、 ϕG がインターレース制御回路300に印加され（図省略）インターレース駆動が行なわれる。

【0055】このような構成とすることによって、水平解像度、垂直解像度に優れ、かつフリッカの生じない画像表示を行なうことができる。

【0056】【実施例2】図13に本発明の好適な別の実施例を示す。本実施例は、パネル構成は図10に示されるものと同じであるが、入力信号が異なる場合である。すなわち、上述した実施例では、R、G、Bの同一信号よりサンプリング位相を変えて2行の画素に書き込

12

みを行なったが、本実施例ではフレームメモリ70により奇数フィールド信号はメモリ100に、偶数フィールド信号はメモリ200に取り込み、奇数、偶数両フィールド信号を同時に表示するものである。この駆動により水平解像度・垂直解像度ともにフリッカのない極めて優れた画像性能を得ることができる。

【0057】【実施例3】さらに別の好適な実施例を説明する。図14は本実施例を説明するための模式的構成図である。図14において示される引出し番号と同じ番号が図10において付されているが、同じ番号のものは同じ部材または同じ機能を有している。

【0058】図14において図10と特に異なる点は、本実施例においては遅延回路15を有しており、パルスH1nおよびH2nはそれぞれ複数のスイッチに対応して印加される点である。尚、図14では列データ線D1、D2...DnにはそれぞれBとG、RとB、GとRのいずれかの組合せになるようにし、一方が左側、他方が右側となるように振り分けてある。

【0059】具体的には、15は遅延回路であり、遅延時間2Tは1行の画素間の空間サンプリング周期であり、水平画素数600ケの場合、約90nsである。G信号に対してB、R信号の位相を合わせるために、B信号の遅延は画素2ケ分の4T、R信号の遅延は画素1ケ分の2Tとなる。これによって、映像信号は3画素ずつ一括してメモリ100または200に蓄積可能になる。

【0060】つまり、パルスH1nおよびH2nはそれぞれ3つのスイッチに並列的に印加され、このパルスによりR、G、Bの信号を同時にサンプリングし、メモリに一時蓄積する。例えば、コンデンサC11、C12、C13にはB1、R1、G1の信号が、コンデンサC22、C23、C24にはB2、R2、G2の信号が蓄積される。

【0061】図15は図14に示される実施例における各信号のタイミング図である。図示R（G、B）は信号線31~33、31'~33'に入力された信号である。各色信号は水平走査回路30-1からのパルスH1nおよびH2nによりメモリ100および200に一時蓄積される。パルスH1nでそれぞれB、R、G信号が同時にサンプリングされ、パルスH2nでそれぞれB、R、G信号が同時にサンプリングされる。図のようにH1nとH2nは位相が180度異なる。

【0062】このようにして水平有効走査期間が終了すると、行制御線（ゲート線）V1にゲートパルス ϕG_o （P2）が印加されるとともにリセットパルス ϕc （P1）が同時に印加される。したがって、ゲート線V1に連なる画素と列データ線は電位Vcにリセットされる。このリセット電位は色信号の黒電位が望ましいが、反転信号の中間電位でも良い。

【0063】次にパルス ϕc がオフするとともにトランスファパルス $\phi T1$ （P3）がオンし、メモリ回路10

(8)

13

0の信号電荷はゲート線V1に連なる画素に書き込まれる。引き続いてゲート線V2にゲートパルス ϕG_e (P5)が印加されるとともにリセットパルス ϕc (P2)が印加され、対応する画素と列電極線はリセットされる。そしてパルス ϕT_2 (P6)がオンし、メモリ回路200の信号電荷はゲート線V2に連なる画素に書き込まれる。

【0064】同様な動作が1フィールド期間繰り返される。次のフィールドではゲートパルス ϕG_e および ϕG がインターレース制御回路300に印加され(図省略) 10 インターレース駆動が行なわれる。このような構成とすることによって、水平解像度、垂直解像度ともに優れ、かつフリッカの生じない画像表示を行なうことができる。

【0065】尚、本実施例の概略的ブロック図は前述した図11の構成が適用可能である。この場合、信号処理回路40中に信号遅延回路を設けておけば良い。もちろん、信号遅延回路は信号処理回路40と別個に設けることもできる。また、図11においてはインターレース制御回路300は省略してある。

【0066】つまり、本実施例では、例えば、前記メモリ回路には、各色の画像信号のサンプリングのタイミングを同時化する信号遅延手段15からの信号が供給される。また、駆動信号供給手段は、インターレース走査により各画素の行を走査して駆動信号を供給しており、また、前記メモリ回路を上下に2つ備え、これらがサンプリングする信号をそれぞれ、対で走査する隣接した2行の各画素の駆動信号印加手段に供給するものである。

【0067】【実施例4】次に、上記実施例を変形した本発明の好適な別の実施例を説明する。本実施例では、パネル構成は図14に示されるものと同じであるが、入力信号を異ならせる場合について説明する。本実施例の概略的ブロック図は前述の図13と同じである。

【0068】上述した実施例では、R、G、Bの同一信号よりサンプリング位相を変えて2行の画素に書き込みを行なったが、本実施例ではフレームメモリ70により奇数フィールド信号はメモリ回路100に、偶数フィールド信号はメモリ回路200に取り込み、奇数、偶数両フィールドの信号を同時に表示するものである。

【0069】つまり、本実施例では、駆動信号供給手段は、同時にサンプリングした各色の信号を同一行または隣接する2行の画素の駆動信号印加手段に順次供給する。この場合もBおよびGの信号は遅延回路15により信号を遅延させて複数画素を一括して取扱えるようにしていることは言うまでもない。

【0070】この駆動により、水平解像度・垂直解像度ともにフリッカのない極めて優れた画像性能を得ることができる。つまり、本実施例では、前記メモリ回路はまた、同時化された各色の画像信号を分配して遅延させる手段(801)を有し、この遅延された信号を前記同時

14

化された各色の画像信号と同時にサンプリングしている。

【0071】尚、上記実施例において、前記2つのメモリ回路におけるサンプリングのタイミングは相互に1/2周期ずれており、かつ隣接する各行間の横方向のずれは前記繰返しピッチの1/2であるのが好ましい。また上記実施例3～実施例8においては、各色の信号が同時にサンプリングされるため、各色の信号ごとにサンプリングしていた場合に比べ、回路構成を複雑化させることもなく、サンプリング周波数が低減し、サンプリング期間が長くなる。したがって、入力画像信号により忠実な表示が行なわれるとともに、サンプリング用のパルスが減少し、消費電力が軽減される。

【0072】本発明のさらに他の実施例を図16～図19に示す。

【0073】【実施例5】図16は図14の実施例に対し、画素の列データ線への接続を変えたものであり、一つの列データ線には同色の画素を行毎に左右交互に接続するようにしたものである。

20 【0074】【実施例6】図17は、色信号のサンプリングを2行の画素列で行なうようにしたものである。この例では2行の画素信号B1、R1、G1(B2、R2、G2…)は同時にサンプリングされ、水平方向の空間的サンプリング周期が図14の実施例の1/2になるので、遅延回路15の遅延時間は1/2となる

(ただし2行の実質的な空間サンプリング期間は図14の実施例の場合と等しい)。したがって遅延回路15をアナログ回路で構成した場合、遅延時間が短い方が一般に位相特性は良いので高画質になる。

30 【0075】【実施例7】図18は図16の実施例の画素接続方法と同じであるが、2行の画素列について色信号を同時にサンプリングするので、図17の場合と同じ効果がある。

【0076】【実施例8】図19は水平走査回路の駆動周波数をさらに低減するためにB、R、Gの3信号線を6T分の遅延回路801を介して6信号線にした実施例である。この場合、これら6本の信号線から同時にサンプリングを行なうことにより、水平駆動周波数はさらに1/2になる。

40 【0077】【実施例9】上記説明した実施例においては、画像信号をメモリ回路100および200にそれぞれ振り分けた信号を蓄積した場合について説明したが、メモリ回路100および200はいずれか一方のみとしても良い。

【0078】図20に本実施例の概略的ブロック図を示す。図示されるブロック図において、図4と同じ動作または機能を有する回路には同一番号を記す。本実施例は、一つの垂直データ線に対し2つの画像入力書き込み手段が設けられ、その第一の書き込み手段は、サンプリング回路430-Bと水平走査回路440-Bであり、

50

(9)

15

第二の書き込み手段は、サンプリング回路430-A、水平走査回路440-Aと一時蓄積回路470である。

【0079】つまり、本実施例においては、第二の書き込み手段側にのみメモリ回路である一時蓄積回路470が設けられている。信号処理回路450のカラー信号は、直接、サンプリング回路430-Bに導かれる系と、アンプ480を経てサンプリング回路430-Aに導かれる系に別れる。

【0080】蓄積回路470は、一般的に容量から形成されるために、この蓄積回路から垂直方向データ線をえて画素容量に転送すると、主に垂直方向データ線の寄生容量による容量分割があり、信号振幅が低下する。アンプ80は、この信号振幅低下の補償のためにある。

【0081】図21に本実施例の概略的等価回路の一例を示す。図21に示されるように、表示画素部410の各画素は1つの垂直方向のデータ線414には同色の画素が行ごとに左右に交互に振り分けて配されている。また、各画素にはそれぞれ不図示のスイッチング素子が設けられており、ゲート選択によって各画素電極（不図示）に表示信号を供給可能としている。

【0082】各垂直方向データ線414にはリセットトランジスタ417の主電極の一方が接続され、リセットトランジスタ417の主電極の他方はリセット電位 V_c に接続される。そして、各垂直方向データ線414に接続された複数のリセットトランジスタ417の制御電極はそれぞれ電氣的に接続され、複数のリセットトランジスタ417が同時に駆動可能にされている。

【0083】メモリ回路である蓄積回路470は一時蓄積容量418（CT）と該一時蓄積容量418に蓄積された信号電荷を垂直方向データ線414に転送するための転送トランジスタ419を有している。本実施例では前記リセットトランジスタ417同様に複数の転送トランジスタ419のそれぞれの制御電極は電氣的に共通に接続されており、一括して駆動可能にされている。

【0084】図22（A）に、本実施例の駆動タイミング図の一例を示す。図示各パルスにおいて、“ハイ”の期間では、各トランジスタは導通状態となる。T1期間に、パルス ϕ_c をハイにすることによりリセットトランジスタ417を導通させ、垂直方向データ線414を基準電位 V_c にリセットする。次に、T2期間に水平走査パルス ϕ_{H1} （ h_{11} 、 h_{12} …）と垂直ゲートパルス g_2 をそれぞれハイにすることによりカラー信号（R、G、B）が、直接、各行画素（ g_2 ）に書き込まれる。また、同時に水平走査パルス ϕ_{H2} （ h_{21} 、 h_{22} …）をハイにすることにより、蓄積回路470の一時蓄積容量418にカラー信号（ R' 、 G' 、 B' ）が蓄積される。T2期間が終了すると、垂直ゲートパルス g_2 はローになり、その行画素の画素トランジスタは非導通状態になり、書き込まれた電圧を保持する。

【0085】T3期間では、再びパルス ϕ_c をハイにす

16

ることでリセットトランジスタ417を導通させ、垂直方向データ線414の残留電荷を除去し、データ線を基準電位 V_c にリセットする。そして、T4期間にパルス ϕ_T をハイにすることにより転送トランジスタ419を導通させるとともに、パルス ϕ_{g1} をハイにして行画素（ g_1 ）を導通させ、一時蓄積容量418のカラー信号（ R' 、 G' 、 B' ）を転送し、書き込む。この時、行画素（ g_1 ）に書き込まれた信号は、容量分割により信号レベルが低下するが、信号は予め増幅してあるので、先の画素行（ g_2 ）に書き込まれた信号レベルと同一になる。

【0086】このように、T1からT4期間の、一水平走査期間の一連の駆動により、信号処理回路450のカラー信号が異なるタイミングで2つの行画素に書き込み保持されたことになる。従って、2つの行画素間では、画像信号のサンプリング周波数が従来の2倍となり、解像度が向上するとともに、サンプリングの折り返し歪による色モアレも低減できる。

【0087】図22（A）におけるパルス ϕ_{H1} 、 ϕ_{H2} と h_{21} 、 h_{22} のスタートタイミングのズレは、2つの行画素間の、同一色信号の空間的配置の1.5画素ズレ分を考慮したものである。

【0088】なお、図21において、 g_i （ $i=1, 2, \dots$ ）は、3端子型スイッチング素子のゲート線でもあってもいいし、3端子型スイッチング素子の対向走査極であって良い。つまり、 g_i （ $i=1, 2, \dots$ ）とデータ線の交点414は、TFT（Thin Film Transistor）であっていてもいいし、ダイオード（MIM：Metal-Insulator-Metalを含む）でも良い。

【0089】【実施例10】本発明の第10の実施例を示す。駆動タイミング以外は第9の実施例と同じである。第10実施例の駆動タイミングを図22（B）に示す。なお、 ϕ_{H2} 、 ϕ_{H1} のサンプリングタイミングは図21（A）と同じである。

【0090】本実施例では、T2期間のサンプリング回路430-Bでサンプリングした画像信号を垂直方向データ線がそれぞれ有する配線容量に一時蓄積し、T3期間にパルス ϕ_{g2} により、対応する画素に該蓄積信号を転送する。次にT3'期間にデータ線を基準電位 V_c にリセットし、T4期間にパルス ϕ_{g1} と ϕ_T をハイにすることにより、対応する画素に一時蓄積容量418の信号を転送する。スイッチング素子の特性などにより、信号の印加によりゲート線の電圧が振られて書き込む行とは別の行の画素がリークする方向に振られる場合があるが、本実施例によればクロストークやリークがなく安定した画像をメモリを片側に設けるだけで得ることができる。

【0091】【実施例11】図23に本発明の第11の実施例を示す。本実施例ではバッファ回路400-Bを、蓄積回路470側のデータ線414の前段に設ける

(10)

17

ことにより、信号の容量分割低下を避け、図 20 の実施例に示されるようなアンプ 480 をなくすることができる。また、バッファ回路 400-A をサンプリング回路 430-B 側のデータ線 414 の前段に設けることにより、バッファ回路 400-A と 400-B 間の一定のオフセット電圧を相殺することができる。

【0092】なお、図 23 において ϕT_d と ϕT_s は電源制御パルスである画素への信号電荷転送時にのみバッファ回路の電源を供給することにより、消費電力を低下させることができる。また図 23 においては表示部 410 の画素は省略してある。

【0093】なお、上記説明においては特に触れなかったが、液晶の劣化を防止するために、液晶に印加される極性を交互に逆極性にする（反転駆動すること）は好ましい。この場合、上下に振り分けた信号に対応してそれぞれ逆極性となるようにしても良いし、1フィールドごとに極性を反転させても良い。

【0094】また、上記説明においては R、G、B の 3 色を用いた例を示したが必要に応じて他の色をさらに組み合わせても良い。白黒などのモノカラーあるいは 2 色表示であってもよいのはもちろんである。

【0095】また、本発明はカラー画素配置に特に制限されない。例えば、カラー画素配置に応じて適宜サンプリング回路のタイミングを変えることにより、本発明は適用できる。

【0096】なお、上記各実施例において示した例えばメモリ回路などの構成は一例であって、同様な機能を有するのであれば適宜変形できることはいうまでもない。

【0097】また、本発明においては、本発明の主旨の範囲内において、適宜変形し得ることもまた当然である。

【0098】

【発明の効果】以上のように、本発明によれば、より解像度が高い、より高品位の画像表示が行なえる液晶表示装置及びその駆動方法が提供される。

【0099】また、本発明によれば 2 つの画像入力手段を設けるという簡単な構成で高精細の画像が得られる液晶表示装置及びその駆動方法が提供される。

【0100】また、フレームメモリなどが不使用であるため、低消費電力、小型で安価なアクティブマトリックス液晶表示装置及びその駆動方法が提供される。

【0101】加えて本発明は、色切替えが容易でかつ、高精細のカラー液晶表示装置を容易に駆動できる。また、列電極線に 2 色を交互に配置しても色の混合もなく、水平走査回路も通常の駆動周波数で動作できるので低電力である。

【0102】加えて、本発明によればより高い水平・垂直解像度を有し、かつフリッカのない画像表示を行なうことができる。

【0103】さらに、本発明によれば、水平駆動周波数

18

を大幅に低減してサンプリング時間を長くすることができる。したがって画像信号に忠実な高解像度の表示を可能にするとともに、消費電力を低減させることができる。

【図面の簡単な説明】

【図 1】 液晶表示装置の一例を説明するための図である。

【図 2】 図 1 に示される液晶表示装置の駆動方法を説明するための図である。

【図 3】 別の液晶表示装置を説明するための図である。

【図 4】 カラー液晶表示装置の別のブロック構成図である。

【図 5】 図 4 の装置における表示画素部 410 とサンプリング回路 430 の等価回路図である。

【図 6】 液晶表示装置におけるインターレース走査の様子を示す説明図である。

【図 7】 図 6 の走査例を図 5 に応用した場合の駆動タイミング例を示すタイミング図である。

【図 8】 別の液晶表示装置の配線例を説明するための図である。

【図 9】 倍速走査例の駆動タイミング例を示すタイミング図である。

【図 10】 本発明の液晶表示装置の一例を説明するための模式的構成図である。

【図 11】 本発明の液晶表示装置に係わる概略的ブロック図である。

【図 12】 本発明の液晶表示装置の駆動方法の一例を説明するためのタイミング図である。

【図 13】 本発明の液晶表示装置に係わる概略的ブロック図である。

【図 14】 本発明の一実施例を説明するための模式的構成図である。

【図 15】 図 14 に示される実施例における各信号のタイミング図である。

【図 16】 図 14 の実施例に対し画素の垂直信号線への接続を変えた実施例の模式的構成図である。

【図 17】 色信号のサンプリングを 2 行の画素列で同時に行なう実施例の概略的構成図である。

【図 18】 色信号のサンプリングを 2 行の画素列で同時に行なうようにした他の実施例の概略的構成図である。

【図 19】 B、R、G の 3 信号線を遅延回路を介して 6 信号線にした実施例の概略的部分構成図である。

【図 20】 本発明の他の実施例を説明するための概略的ブロック図である。

【図 21】 図 20 に示される液晶表示装置の模式的回路構成図である。

【図 22】 本発明の実施例の駆動タイミングを説明するためのタイミング図である。

(11)

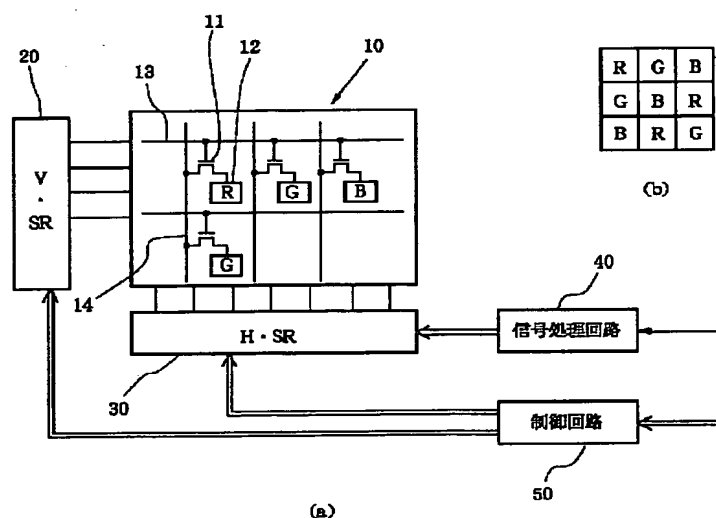
19

【図23】 本発明のさらに別の実施例を説明するための模式的回路構成図である。

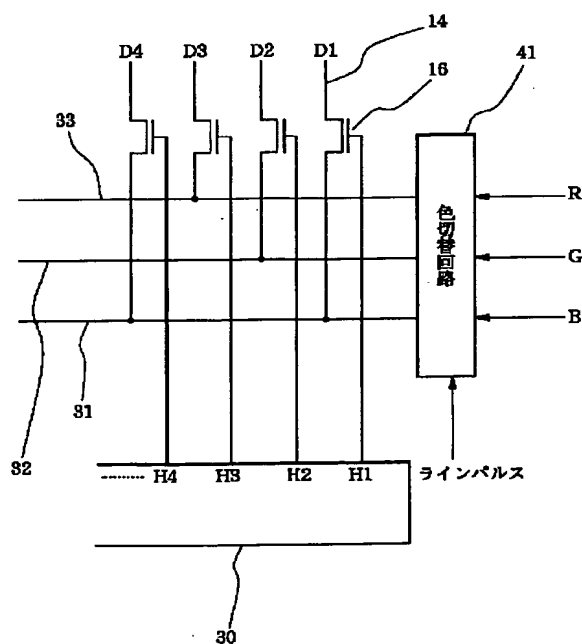
【符号の説明】

C1n, C2n: コンデンサ群、D1, D2, ...Dn: 列データ線、Tr-c: リセットスイッチ、Tr-T1, Tr-T2: トランスファスイッチ群、Vn: 行制御線、10: パネル（液晶表示素子）、15: 遅延回路、20: 垂直走査回路、30-1, 30-2: 水平走査回路、31, 32, 33, 31', 32', 33': 信号線、40: 信号処理回路、50: 制御回路、60: 10

【図1】



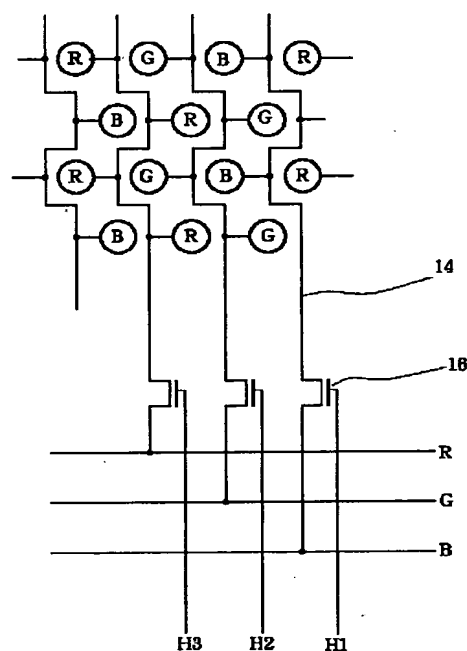
【図2】



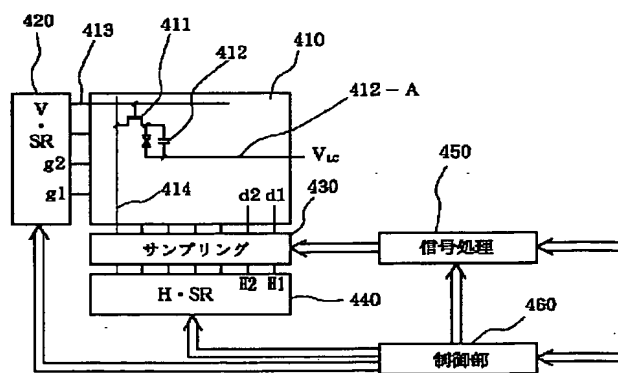
20

録画再生器、70: フレームメモリ、80, 480: アンプ、100, 200: メモリ回路、300: インターレース回路、400-A, 400-B: バッファ回路、410: 表示画素部、414: データ線、417: リセットトランジスタ、418 (CT): 一時蓄積容量、419: 転送トランジスタ、430-A, 430-B: サンプルング回路、440-A, 440-B: 水平走査回路、450: 信号処理回路、470: 一時蓄積回路、801: 遅延回路。

【図3】

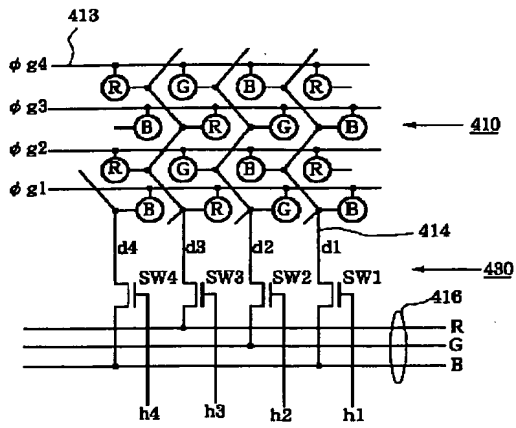


【図4】

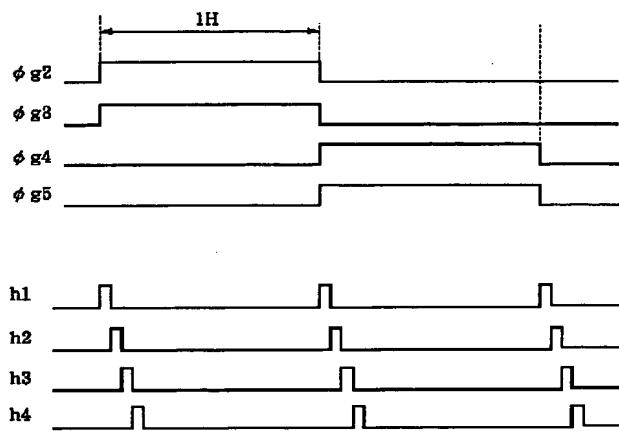


(12)

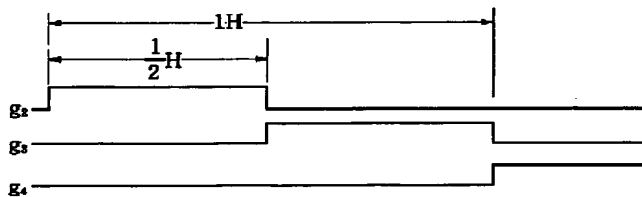
【図5】



【図7】

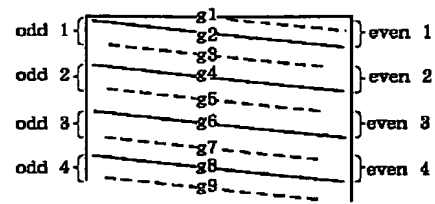


【図9】

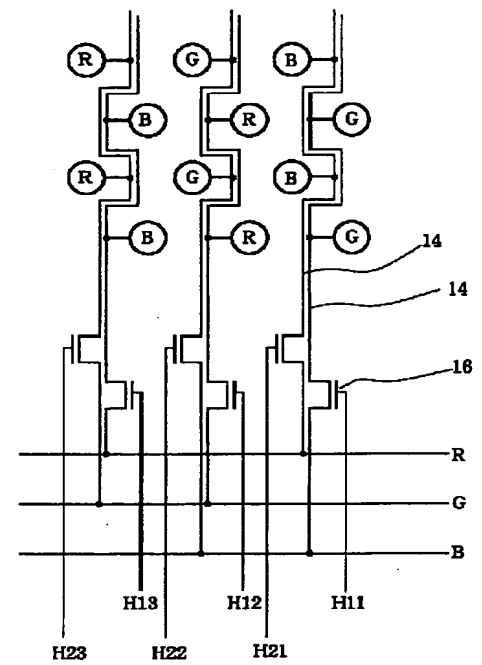


(フレームメモリ)

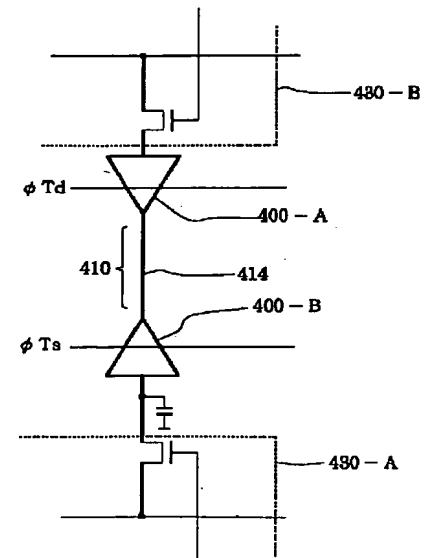
【図6】



【図8】

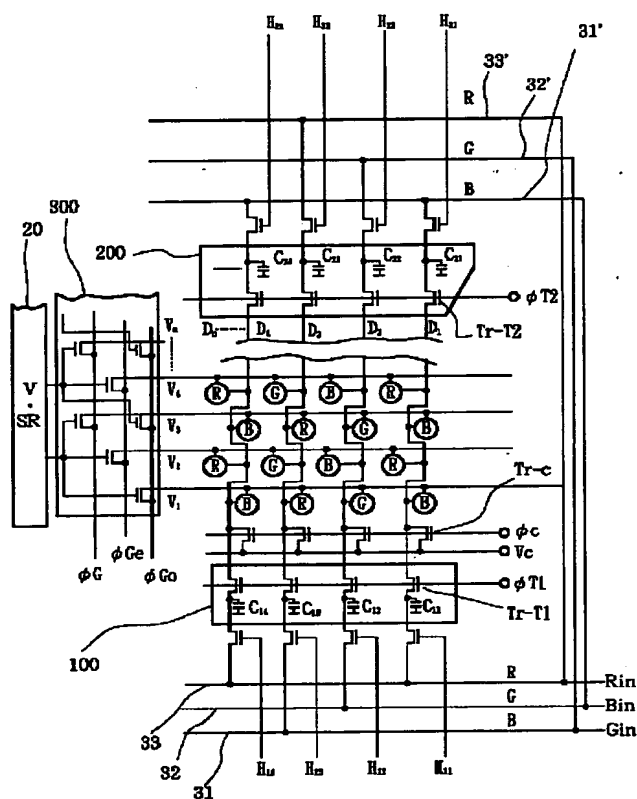


【図23】

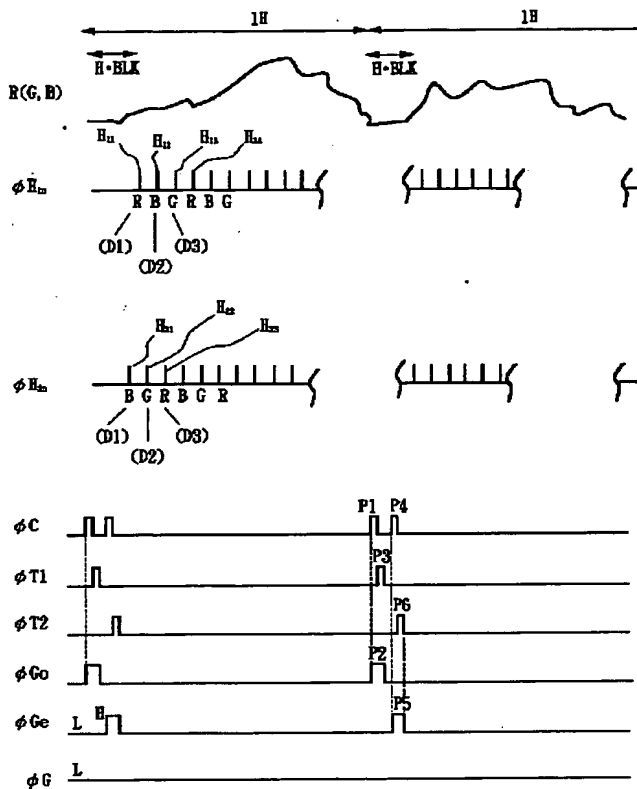


(13)

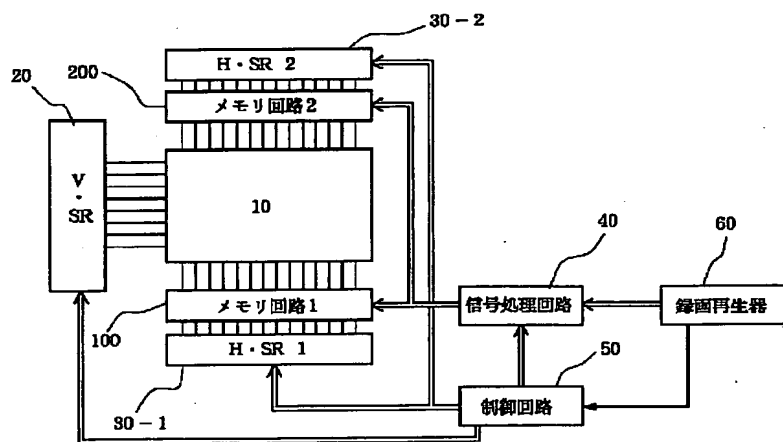
【図10】



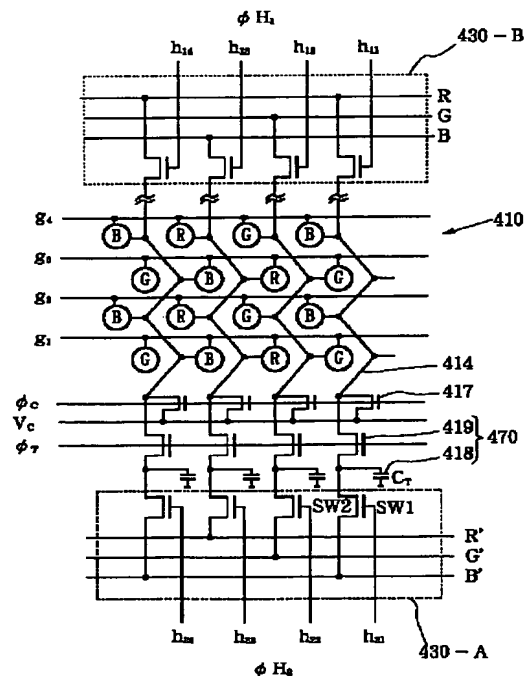
【図12】



【図11】

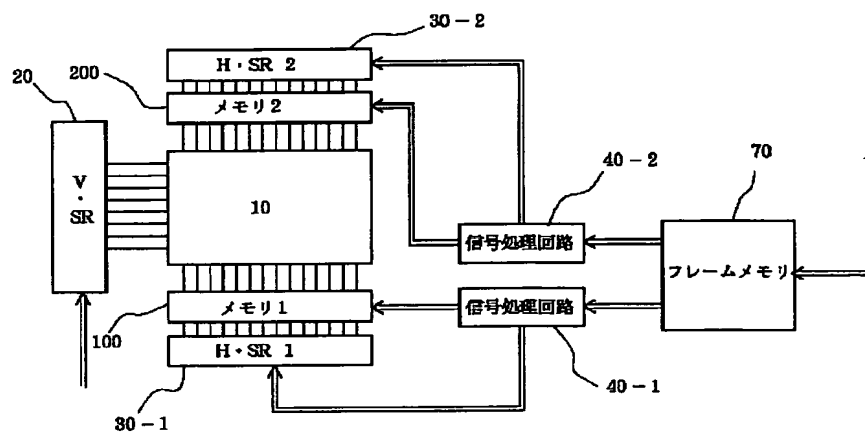


【図21】

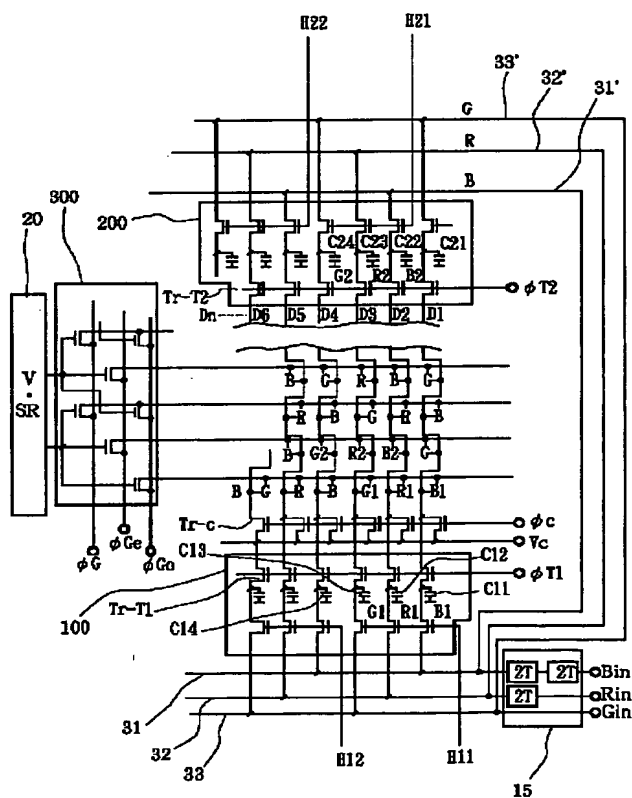


(14)

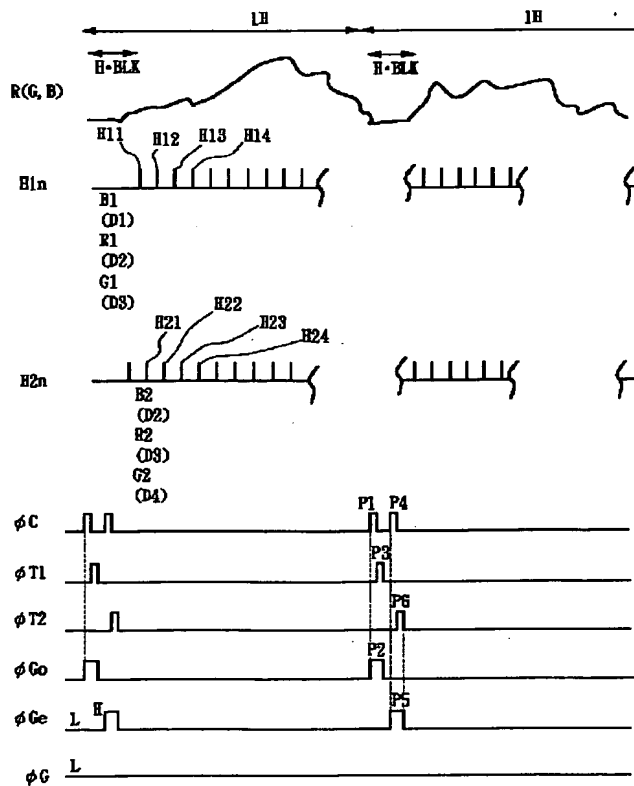
【図13】



【図14】

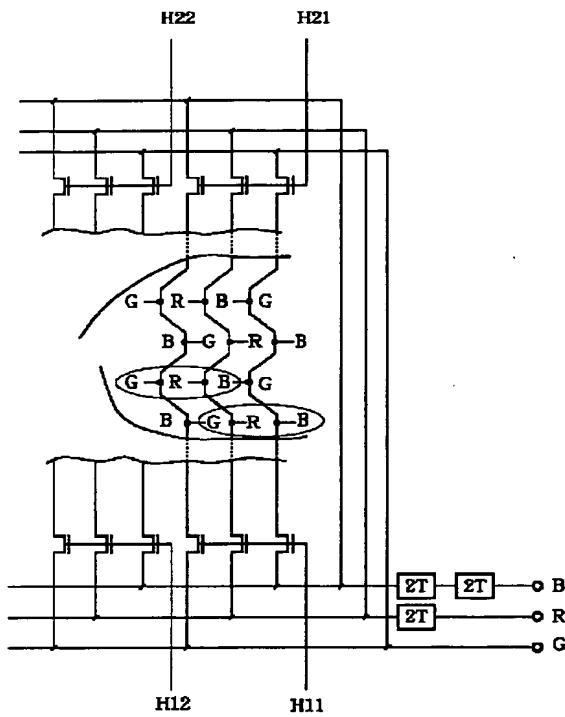


【図15】

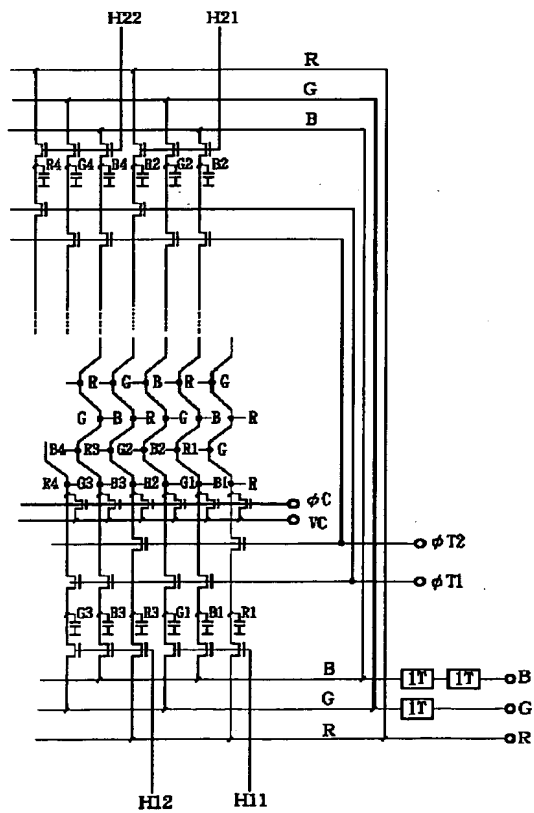


(15)

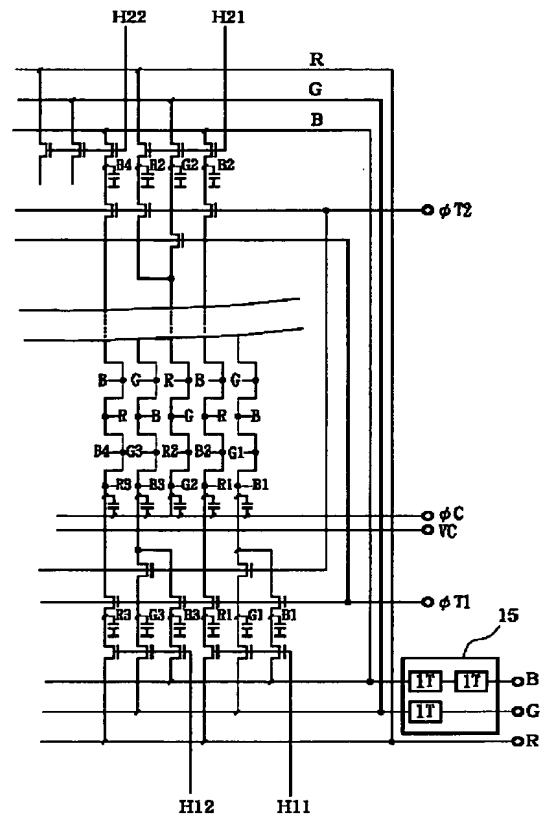
【図16】



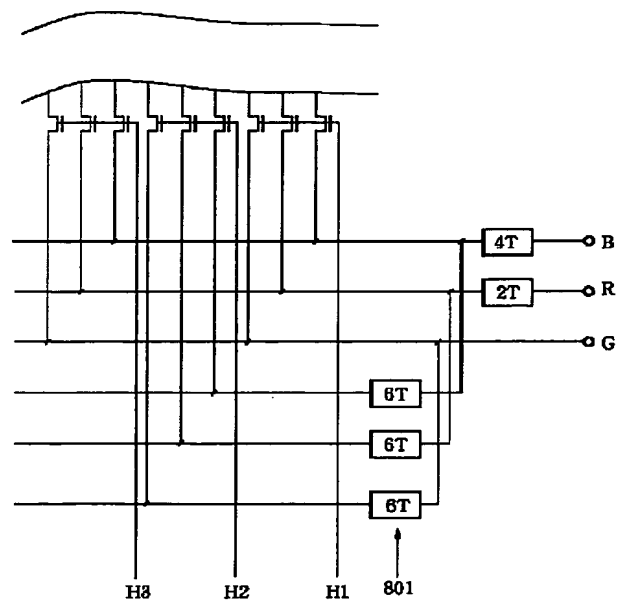
【図18】



【図17】

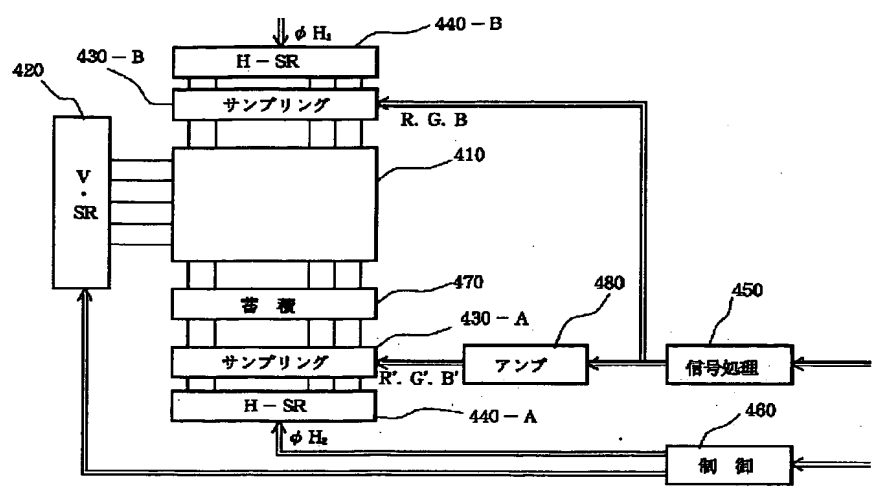


【図19】

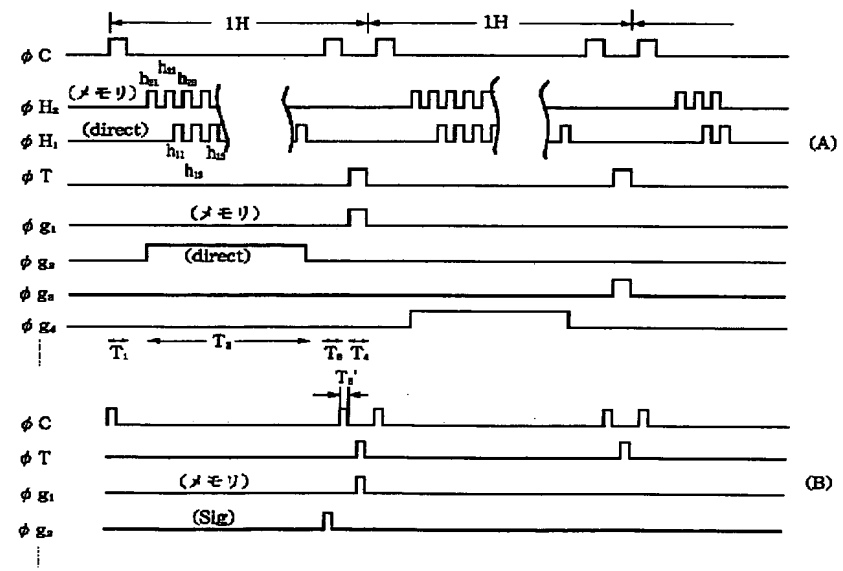


(16)

【図20】



【図22】



*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The plurality of a pixel which is arranged in the shape of a matrix and has a switching element, respectively, In the liquid crystal display which has the horizontal scanning circuit which generates the signal for sampling the picture signal supplied to this pixel, and the vertical scanning circuit which chooses the line of said pixel The 1st write-in means including the 1st horizontal scanning circuit established in the one side of the plurality of the data line connected common to the line of said pixel, the 2nd horizontal scanning circuit established in the other side of said data line -- and -- this -- the liquid crystal display characterized by having the 2nd write-in means which has a storage means to memorize the picture signal sampled by the 2nd horizontal scanning circuit.

[Claim 2] Said 1st write-in means and said 2nd write-in means are a liquid crystal display according to claim 1 which supplies a signal to the pixel of a different line, respectively.

[Claim 3] Said 1st write-in means is a liquid crystal display according to claim 1 which has a storage means to memorize the picture signal further sampled by said 1st horizontal scanning circuit.

[Claim 4] The plurality of said pixel is a liquid crystal display according to claim 1 which has the filter of the color chosen from at least three different colors.

[Claim 5] The liquid crystal display according to claim 3 by which a picture signal is inputted into said 1st write-in means and said 2nd write-in means through a signal delay means.

[Claim 6] Said picture signal is a liquid crystal display according to claim 5 which are red (R), green (G), and a signal based on blue (B) image data, respectively.

[Claim 7] The longitudinal direction pixel line which repeated successively the pixel corresponding to three colors which are different at least in a longitudinal direction in

predetermined sequence, and arranged it The pixel corresponding to the same color of an adjoining line is request **** carried out, and multi-line arrangement is carried out in a lengthwise direction. While the pixel train of these two lengthwise directions that adjoin among the pixel trains corresponding to the same color formed in said lengthwise direction every party is connected to the same string data line The liquid crystal display characterized by having the horizontal scanning circuit for supplying the image information memorized by the memory circuit and this each memory circuit for memorizing image information in the both ends of this string data line, respectively to said memory circuit.

[Claim 8] The pixel corresponding to the same color of said adjoining line is [External Character 1].

$1\frac{1}{2}$

The liquid crystal display according to claim 7 pitch ** carried out.

[Claim 9] Said memory circuit is a liquid crystal display according to claim 7 which has a switching means and an are recording means.

[Claim 10] The liquid crystal display according to claim 7 by which the image information which has the color information corresponding to said three different colors at least is inputted into said memory circuit, respectively.

[Claim 11] The liquid crystal display according to claim 7 which has further a digital disposal circuit for supplying image information to each of said memory circuit.

[Claim 12] Said digital disposal circuit is a liquid crystal display [common to said each memory circuit] according to claim 11.

[Claim 13] Said digital disposal circuit is a liquid crystal display according to claim 11 formed corresponding to said each memory circuit.

[Claim 14] Said memory circuit is a liquid crystal display according to claim 7 which has a reset switch for resetting memory.

[Claim 15] Said pixel is a liquid crystal display according to claim 7 which has a switching element and a pixel electrode.

[Claim 16] Said three different colors are liquid crystal displays according to claim 7 which are red (R), green (G), and blue (B).

[Claim 17] The liquid crystal display according to claim 7 which has further the signal delay means which carries out synchronization of the sampling timing of the picture signal corresponding to said three different colors of the image information memorized by said memory circuit.

[Claim 18] Said digital disposal circuit is a liquid crystal display according to claim 11

which has a signal delay means.

[Claim 19] Said signal delay means is a liquid crystal display according to claim 17 which has the delay circuit where time delays differ to said three different colors, respectively.

[Claim 20] The liquid crystal display according to claim 17 which has further a delay means to delay the picture signal corresponding to predetermined time and said three different colors further apart from said signal delay means.

[Claim 21] The plurality of a pixel which is arranged in the shape of a matrix and has a switching element, respectively, In the drive approach of a liquid crystal display of having the horizontal scanning circuit which generates the signal for sampling the picture signal supplied to this pixel, and the vertical-scanning circuit which chooses the line of said pixel Step a which writes the image data sampled by the 1st horizontal scanning circuit established in the one side of the plurality of the data line connected common to the train of said pixel in the 1st line of the line of said pixel Step b which memorizes the image data sampled by the 2nd horizontal scanning circuit established in the other side of said data line The drive approach of the liquid crystal display characterized by having step c which is the line of said pixel and writes the memorized this image data in the line which adjoins said 1st line.

[Claim 22] Said step a is the drive approach of a liquid crystal display according to claim 21 of having step e which writes in the image data this remembered to be step d which memorizes said sampled image data.

[Claim 23] The drive approach of a liquid crystal display according to claim 21 of having step f which delays image data before the sampling of said step a and step b.

[Claim 24] Said step d is the drive approach of the liquid crystal display according to claim 22 which is the step which accumulates a charge in the capacity of said data line.

[Claim 25] The longitudinal direction pixel line which repeated successively the pixel corresponding to three colors which are different at least in a longitudinal direction in predetermined sequence, and arranged it The pixel corresponding to the same color of an adjoining line is request **** carried out, and multi-line arrangement is carried out in a lengthwise direction. It is the drive approach of a liquid crystal display that the pixel of these two lengthwise directions that adjoin among the pixel trains corresponding to the same color formed in said lengthwise direction every party was connected to the same string data line. The drive approach of the liquid crystal display characterized by distributing the information signal corresponding to the color of the pixel by which the signal which has image information was connected to said string data line as two write-in means for every color, and supplying it to each corresponding

pixel.

[Claim 26] Said information signal which was able to be distributed up and down is the drive approach of the liquid crystal display according to claim 25 transmitted for every desired line after memorizing, respectively.

[Claim 27] Said information signal is the drive approach of a liquid crystal display according to claim 25 that time delay of predetermined is carried out corresponding to said three different colors before distributing up and down.

[Claim 28] Said information signal is the drive approach of the liquid crystal display according to claim 27 which carries out predetermined time delay further before sampling further.

[Claim 29] The sampling timing of said information signal which was able to be distributed up and down is the drive approach of a different liquid crystal display according to claim 25.

[Claim 30] The liquid crystal display according to claim 17 with which time delays differ to three different colors in two adjoining pixel spacing, respectively.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the liquid crystal display which can perform high-definition image display in more detail, and its drive approach about a liquid crystal display and its drive approach.

[0002]

[Description of the Prior Art] In recent years, thin-shape-izing is possible as a display device, and the utilization to the colorization using the liquid crystal display component which is a low power of a liquid crystal display is progressing. Hereafter, it explains about a color liquid crystal display and the drive approach using a drawing.

[0003] Drawing 1 is drawing for explaining an example of a color liquid crystal display, and it is the typical block diagram in which (a) shows the typical block diagram, and (b) shows color arrangement of the filter. switching transistors, such as TFT for which 10 used the liquid crystal display component for the semi-conductor layer, and 11 used an amorphous silicon, polish recon, etc. in drawing 1 , and 12 -- for the train control line and 20, as for a horizontal scanning circuit (H-SR) and 40, a vertical-scanning circuit (V-SR) and 30 are [a pixel electrode and 13 / the line control line and 14 / a digital disposal circuit and 50] control circuits. Moreover, red and G show green, and B shows

blue, and, as for the filter 15 shown in drawing 1 (b), R supports the above-mentioned pixel electrode 12 in this order of arrangement.

[0004] As shown in drawing 1 (a), this switching transistor has many pixels by which the liquid crystal display component 10 has the switching transistor 11 for every pixel, a drain (or source) is connected to the string data line 14, and, as for it, the pixel electrode 12 and the gate are connected to the line control line for the source (or drain), respectively.

[0005] As for the arrangement location of each pixel electrode 12, a lengthwise direction and a longitudinal direction are arranged in the shape of a straight line, and the filter 15 is arranged in the shape of a straight line in the lengthwise direction and the longitudinal direction the whole color in connection with it.

[0006] Moreover, the above-mentioned line control line 13 is connected to a vertical-scanning circuit, and the above-mentioned train control line 14 is connected to the horizontal scanning circuit 30, respectively. The signal from a control circuit 50 is inputted into a perpendicular and the horizontal scanning circuits 20 and 30, respectively. Moreover, the signal which has the image information from a digital disposal circuit 40 further is inputted into the horizontal scanning circuit 30.

[0007] From the vertical-scanning circuit 20, a pulse is impressed one by one for every 1 horizontal-scanning period, and ON/OFF control of the transistor 11 for every pixel which stands in a row is carried out at the line control line 13. Sequential selection of the chrominance signals R, G, and B from a digital disposal circuit 40 is made by the horizontal scanning circuit 30, and the train electrode line 14 is supplied. A control circuit 50 carries out drive control of a vertical scanning, a horizontal scanning, a digital disposal circuit, etc. of a display according to actuation of a system.

[0008] Drawing 2 shows the chrominance-signal input approach in the color filter arrangement shown in drawing 1. If the color filter shown in drawing 1 is seen by the string data line 14, it needs to make a signal input in order of R, G, and B for every 1-pixel line. Therefore, the chrominance signal of signal lines 31, 32, and 33 is changed for every party in the color electronic switch 41.

[0009] Therefore, the signal which has each color information on R, G, and B from a digital disposal circuit 40 can be distributed to the signal which has the color information corresponding to each filter 15, is inputted into signal lines 31, 32, and 33, respectively, and supplies the signal which has the color information corresponding to the pixel which carried out ON/OFF of the switching element 16, and was connected to the string data line 14 by the horizontal scanning circuit 30.

[0010] However, since the same color filter serves as slanting arrangement in the case of

drawing 1 , and it is aslant visible as a color and a line, it is possible to prevent degradation of image quality more and to constitute from degrading image quality and a color electronic switch being required in few circuits.

[0011] One of them is explained using drawing 3 . The example shown in drawing 3 considers an odd number train and an even number train as a repetition of the respectively same order of a color filter among the pixel trains connected to the line control line 13 in order to solve the problem of image quality degradation which was described above, and is the repetition unit of the color filter of an even number train to an odd number train about the repetition unit [0012]

[External Character 2]

1 $\frac{1}{2}$

It carries out [*****] and they are arrangement and the so-called example which carried out delta arrangement. Moreover, in the string data line 14, it connects for every pixel of the same color arranged alternately.

[0013] By doing in this way, if it sees by the pixel of a contiguity line, a level sampling frequency will double and resolution will improve. Moreover, since the same color was connected to the train electrode line, a color electronic switch becomes unnecessary. Furthermore, since a same color pixel is not located in a line in the direction of slant, the problem of a slanting color line is solvable.

[0014] Thus, the configuration shown in drawing 3 is used for the simple electro nick view finder (EVF) of the field display which consists of about 230 pixels of perpendicular directions etc.

[0015] In addition, by the field display of such a display device that is not high resolution so much, the pixel sampling for every horizontal scanning is [0016].

[External Character 3]

1 $\frac{1}{2}$

Satisfactory image display can be performed by carrying out by ***** carrying out.

[0017] Drawing 4 is the block block diagram showing another example of the color liquid crystal display of an active-matrix mold. A vertical-scanning circuit for 410 to perform a display picture element part among drawing, and for 420 perform the vertical scanning of the display picture element part 410, the sampling circuit which 430 samples an input picture signal and is outputted to the display picture element part 410, and 440 are the horizontal scanning circuits for the sampling in a sampling circuit 430.

[0018] The unit pixel of the display picture element part 410 consists of a switching

transistor 411, and liquid crystal and the pixel retention volume 412, the gate of a switching transistor 411 is connected to the vertical-scanning circuit 420 by the gate line 413, and the input terminal of a switching transistor 411 is connected to the sampling circuit 430 by the perpendicular direction data line 414. The other end of the pixel capacity 412 is connected to common electrode line 412-A, and the common electrode voltage VLC is impressed.

[0019] The color signal (red, blue, green) from a digital disposal circuit 450 is supplied to the input of a sampling circuit 430. A digital disposal circuit 450 performs gamma processing in consideration of a liquid crystal property, reversal signal processing for the reinforcement of liquid crystal, etc. to an input picture signal. In a control circuit 460, the required pulse supplied to the vertical-scanning circuit 420, the horizontal scanning circuit 440, and digital-disposal-circuit 450 grade is formed based on an input picture signal.

[0020] Drawing 5 is the representative circuit schematic of the display picture element part 410 and a sampling circuit 430. In the display picture element part 410, it has three different colors, red, and two or more pixel lines that green and the pixel of R, G, and B corresponding to blue arranged repeatedly in order of R, G, and B one by one in the longitudinal direction (horizontal), and each line was constituted, and were arranged in the lengthwise direction (perpendicular direction). By each contiguity spacing, only the distance whose pixel location of the same color is 1.5 pixels has shifted. Namely, each pixel (R, G, B) is arranged in the shape of a delta, and the pixel of the same color is connected to each data line 414 (d1, d2 --) on both sides for every line. a sampling circuit 430 should consist of capacity (parasitic capacitance and pixel capacity of the perpendicular direction data line) with a switching transistor SW1 and SW2 --, and when [of a switching transistor SW1 and SW2 --] the gate drives by the pulse h1 from the horizontal scanning circuit 440, and h2 --, respectively, pass the data line 414 (d1, d2 --) in the signal of each color of the input signal line 416 -- it transmits to each pixel and writes in it. Selection of the line in that case is controlled by the perpendicular pulse phig1 from the vertical-scanning circuit 420, and phig2 --.

[0021] Drawing 6 is the explanatory view showing the situation of interlace scanning in the liquid crystal display which has the number of perpendicular direction pixels equivalent to the number of vertical-scanning lines of television. The pixel (henceforth a line pixel) of each line of a display picture element part is made to correspond to the vertical-scanning pulse phig1 and phig2 --, and a notation g1 and g2 -- show it. In the odd number field, the signal of the horizontal scanning line odd1 is written in the line pixels g2 and g3, and the signal of odd2 is similarly written in the line pixels g4 and g5.

odd3 or subsequent ones is driven every two lines. Moreover, in the even number field, the combination of one line of a scan shifts, the signal of even1 is written in the line pixels g1 and g2, the signal of even2 is written in the line pixels g3 and g4, and subsequent signals are written in every two lines similarly.

[0022] The example of drive timing at the time of applying the example of a scan of this drawing 6 to the example of drawing 4 is shown in drawing 7 (this driving method is considered as 2 line coincidence drive). In odd1 of the odd number field, phig3 becomes the perpendicular pulse phig2 corresponding to the line pixels g2 and g3 with "H" (high state), each pixel transistor 411 of the line pixel will be in switch-on, and the picture signal by which the sequential sampling was carried out in the sample hold circuit 430 is written in each pixel of the line pixels g2 and g3. This sampling is the horizontal scanning pulses h1 and h2. -- It is made in "H" period. The drive with the same said of the scan after odd2 is performed.

[0023] By the way, the further highly minute imaging of the liquid crystal display component used for EVF or liquid crystal projectors especially in recent years is demanded.

[0024] For example, in EVF or a liquid crystal projector, in order to obtain a highly minute image further, 460 pixels of perpendicular directions and the panel beyond it are being developed. When displaying a television signal by the panel of 460 pixels of perpendiculars, it can be considered first that the interlace drive mentioned above. In an interlace drive, if an alternating current reversal drive is performed in a cycle of 30Hz, a 15Hz flicker will occur. It is necessary to drive each pixel with the period of 60Hz, i.e., a field period, to reduce this flicker.

[0025] Then, when performing a field drive with the configuration shown in drawing 2, how to drive the pixel line of two lines to coincidence like the above-mentioned example can be considered. Although a flicker can be reduced by two-line coincidence drive, since the same sampling signal is impressed also to the pixel which shifted 1.5 pixels by two spacing, the trouble that horizontal resolution will deteriorate occurs.

[0026] Moreover, although the driving method is easy since the same sampling signal writes in the pixel left by 1.5 pixels spatially [two line pixels driven to coincidence] according to this 2 line coincidence drive, there is no improvement in a sampling frequency and color moire generates it in a low resolution. Moreover, this pixel gap arrangement horizontally shifted by 1.5 pixels does the bad influence that the edge part of an image is displayed on zigzag, by the drive by the combination of the line pixel shifted one line in the odd number field and the even number field.

[0027] moreover, the horizontal scanning pulses h1, h2, and h3 -- the pixel of three

colors (R, G, B) -- a dot order -- in order to sample next, by the panel of the number of high pixels, drive frequency becomes very high. For example, by the panel of the 600 number abbreviation of level pixels, the sampling frequency for two lines in consideration of pixel gap arrangement is set to about 20MHz with NTSC system. In the display of Hi-Vision, 1500 or more level pixel numbers are needed, and a sampling frequency is set to about 50MHz or more in that case. The frequency which can also drive the present TFT liquid crystal is about tenMHz. Therefore, two or more scanning circuits are required to drive the panel of a high pixel.

[0028] Thus, the above-mentioned 2 line coincidence (field ** carrying out) driving method may degrade resolution. Moreover, since level drive frequency becomes high, the trouble that two or more scanning circuits are required, and this imitates many driving pulses and increase of the consumed electric current, and has a ** case may arise.

[0029] Then, since horizontal resolution is not degraded, the train electrode line connection shown by drawing 8 can be considered. The configuration of increasing the number of the string data lines 14 twice, and connecting the same color pixels, respectively is shown in drawing 8.

[0030] Thus, degradation of horizontal resolution can be lost by constituting and shifting the sampling of two line pixels by H1n and H2n.

[0031] However, if a semi-conductor process becomes complicated, and the numerical aperture which is each pixel falls sharply and detailed-ization is considered by increasing wiring of a string data line, it will be hard to call it a suitable configuration. Moreover, the method of presentation which performs image display by non-interlaced one using a frame memory or a field memory can be considered independently. It is the double-speed scan which drives 2 water parallel pixel one by one at a 1 horizontal-scanning period as the frequency of a picture signal and a horizontal scanning is doubled and is specifically shown in drawing 9.

[0032] There is such double-speed scanning as an image improving method of the above-mentioned 2 line coincidence driving method. however -- double-speed scan -- the signal processing IC of a frame memory or high bandwidth -- required -- very much -- cost -- starting -- high -- there was a case where it became a power consumption display.

[0033] This invention solves an above-mentioned trouble and offers more high resolving, the liquid crystal display which can perform high-definition image display, and its drive approach.

[0034] Moreover, this invention aims at offering the liquid crystal display and its drive approach of high resolving and the active-matrix mold which can perform a high-definition display to the pixel of the number of scanning lines equivalent to

television by addition of an easy circuit, without using a frame memory.

[0035] Furthermore, this invention samples a picture signal to the pixel of the number of scanning lines [above / on a par with television] by the pulse of low-water-flow Taira drive frequency, and aims at offering the liquid crystal display which can perform high resolution image display, and its drive approach to it.

[0036] It aims at offering the liquid crystal display which is furthermore low power since it does not have mixing of a color, either, even if this invention can drive easily a color liquid crystal display with an easily high definition color change and arranges two colors by turns on a string data line, and a horizontal scanning circuit can also operate by the usual drive frequency, and its drive approach.

[0037] In addition, this invention aims at offering the liquid crystal display which can perform image display which has higher level and vertical definition, and does not have a flicker, and its drive approach.

[0038] In addition, this invention aims at offering the liquid crystal display with which a high definition image is obtained with the easy configuration of establishing two image input means, and its drive approach.

[0039] Moreover, since this invention did not use a frame memory etc., it aims at offering a low power, a small and cheap active-matrix liquid crystal display, and its drive approach.

[0040] It aims at offering the liquid crystal display which can reduce power consumption, and its drive approach while this invention can reduce level drive frequency sharply, can lengthen the sampling time and enables the display of high resolution faithful to a picture signal.

[0041] Moreover, the plurality of a pixel which this invention is arranged in the shape of a matrix, and has a switching element, respectively, In the liquid crystal display which has the horizontal scanning circuit which generates the signal for sampling the picture signal supplied to this pixel, and the vertical-scanning circuit which chooses the line of said pixel The 1st write-in means including the 1st horizontal scanning circuit established in the one side of the plurality of the data line connected common to the line of said pixel, the 2nd horizontal scanning circuit established in the other side of said data line -- and -- this -- it aims at offering the liquid crystal display which has the 2nd write-in means which has a storage means to memorize the picture signal sampled by the 2nd horizontal scanning circuit.

[0042] This invention in addition, the line which has the longitudinal direction pixel train which repeated successively the pixel corresponding to three colors which are different at least in a longitudinal direction in predetermined sequence, and arranged it

While the pixel of this lengthwise direction that adjoins among the pixel trains corresponding to the same color by which it is request **** carried out, multi-line arrangement is carried out in a lengthwise direction, and the pixel corresponding to the same color of an adjoining line is formed in said lengthwise direction every party is connected to the same string data line. It aims at offering the liquid crystal display which has the horizontal scanning circuit for supplying the image information memorized by the memory circuit and this each memory circuit for memorizing image information, respectively to said memory circuit in the both ends of this string data line.

[0043] Moreover, the plurality of a pixel which this invention is arranged in the shape of a matrix, and has a switching element, respectively, In the drive approach of a liquid crystal display of having the horizontal scanning circuit which generates the signal for sampling the picture signal supplied to this pixel, and the vertical-scanning circuit which chooses the line of said pixel Step a which writes the image data sampled by the 1st horizontal scanning circuit established in the one side of the plurality of the data line connected common to said pixel line in the 1st line of said pixel line Step b which memorizes the image data sampled by the 2nd horizontal scanning circuit established in the other side of said data line. It aims at offering the drive approach of a liquid crystal display of having step c which is the line of said pixel and writes the memorized this image data in the line which adjoins said 1st line.

[0044] Furthermore this invention the longitudinal direction pixel line which repeated successively the pixel corresponding to three colors which are different at least in a longitudinal direction in predetermined sequence, and arranged it. The pixel corresponding to the same color of an adjoining line is request **** carried out, and multi-line arrangement is carried out in a lengthwise direction. It is the drive approach of a liquid crystal display that the pixel of this lengthwise direction that adjoins among the pixel trains corresponding to the same color formed in said lengthwise direction every party was connected to the same string data line. It aims at offering the drive approach of the liquid crystal display characterized by supplying each pixel corresponding to the color of the pixel by which the signal which has image information was connected to said string data line which distributes up and down for every information signal, and corresponds. Hereafter, the example of this invention is explained, referring to a drawing.

[0045]

[Example]

[Example 1] drawing 10 is a typical block diagram for explaining one suitable example of this invention. said -- drawing -- setting -- 31 -- 32 -- 33 -- and -- 31 -- ' -- 32 -- ' -- 33 -- '

-- respectively -- each -- a color (R, G, B) -- a pixel -- a filter -- corresponding -- a color -- information -- having -- a signal line -- 100 -- and -- 200 -- respectively -- each -- a signal line -- 31 -- 32 -- 33 -- and -- 31 -- ' -- 32 -- ' -- 33 -- ' -- a signal -- sampling -- memorizing -- a memory circuit -- 300 -- an interlace circuit -- it is . A driving signal is supplied to each pixel by these. The switching transistor for impressing a driving signal to liquid crystal, the pixel electrode, and the filter are prepared in each pixel.

[0046] As shown in drawing 10 , the pixel of each line is repeatedly arranged in order of G, R, and B one by one, and the pixel of an adjoining line is shifted and arranged mutually only one half of these repetition pitches. That is, it considers as the above-mentioned delta array. Therefore, the pixel of the same color is contiguity spacing and is 1.5 pixels ([0047]).

[External Character 4]

$$1\frac{1}{2}$$

It becomes the arrangement deviated to both pixel parts. A pixel is connected to the string data lines D1 and D2 and --Dn, respectively so that the color of the pixel to which each line corresponds may serve as one combination of B, R, G, and B, R and G. In drawing 10 , to the string data line Dn, it has distributed so that the pixel of the color of either of one groups of B, R, G, and B, R and G may serve as left-hand side and another side may serve as right-hand side. Moreover, reset switch Tr-c which resets the residual charge of a string data line is connected to the string data lines D1 and D2 and --Dn, respectively, and the reset potential Vc is impressed to reset pulse phic and the source at the gate line. Furthermore, the string data lines D1 and D2 and --Dn are connected to the memory circuits 100 and 200 for supplying each chrominance signal. Memory circuits 100 and 200 have capacitor group C1n and C2n which is an are recording means, and transfer switch group Tr-T1 and Tr-T2 which are a switching means, respectively.

[0048] The signal transfer to the string data lines D1 and D2 and --Dn from memory circuits 100 and 200 is controlled by the transfer pulse phiT1 impressed to each gate of transfer switch group Tr-T1 and Tr-T2, and phiT2. R signal is accumulated in the memory C11 which stands in a row on the string data line D1, and B signal is accumulated in memory C21. G signal -- is similarly accumulated in the memory C12 of the string data line D2 B signal and C22. a signal line -- 31 -- 32 -- 33 -- 31 -- ' -- 32 -- ' -- 33 -- ' -- from -- each -- a memory circuit -- 100 -- and -- 200 -- a signal -- incorporation -- level -- a shift register -- from -- a bit -- a pulse -- H -- one -- n -- and -- H -- two -- n -- controlling -- having .

[0049] The line control line Vn connected to the gate of the switching transistor of each

pixel is led to the interlace control circuit 300. The gate electrode of the switch transistor of the interlace control circuit 300 is led to the vertical-scanning circuit 20, and gate pulse ϕ_{iGo} , $\phi_{iGermanium}$, and ϕ_{iG} are impressed to a source electrode, respectively.

[0050] Drawing 11 is the rough block diagram of the example shown in drawing 10. a panel (liquid crystal display component) 10 -- the horizontal scanning circuit 30-1 and 30-2, and memory circuits 100 and 200 are formed up and down. As shown in drawing 11, the signal from the image transcription regenerator 60 is inputted into a digital disposal circuit 40 and a control circuit 50, respectively, and the signal from a control circuit 50 is inputted into the horizontal scanning circuit 30-1 which was able to be distributed to two, and 30-2, respectively. Moreover, the signal from a digital disposal circuit 40 is inputted into the memory circuits 100 and 200 which were able to be similarly distributed to two, respectively. It consists of control circuits 50 so that a signal may be further supplied also to the vertical-scanning circuit 20 and a digital disposal circuit 40.

[0051] The timing chart of the example shown in drawing 12 at drawing 10 is shown. Illustration R, and (G, B) are signal lines 31-33 and the signal inputted into 31' - 33'. Each chrominance signal is accumulated in memory 100,200 by ϕ_{iH1n} of pulses of a horizontal scanning circuit, and ϕ_{iH2n} temporarily. The sequential sampling of R, B, and the G signal is carried out by ϕ_{iH1n} pulse, respectively, and the sequential sampling of B, G, and the R signal is carried out by ϕ_{iH2n} pulse, respectively. As shown in drawing, ϕ_{iH1n} and ϕ_{iH2n} of phases differ 180 degrees.

[0052] After a horizontal effective scan period expires, while gate pulse ϕ_{iGo} (P2) is impressed to the line control line (gate line) V1, reset pulse ϕ_{ic} (P1) is impressed to coincidence. Therefore, the pixel and the train control line which stand in a row on the gate line V1 are reset by potential Vc.

[0053] Although this reset potential has the desirable black potential of a chrominance signal, the middle potential of a reversal signal is sufficient. Next, ϕ_{ic} turns off, the transfer pulse ϕ_{iT1} (P3) turns on, and the signal charge of memory 100 is written in the pixel which stands in a row on the gate line V1.

[0054] While gate pulse $\phi_{iGermanium}$ (P5) is succeedingly impressed to the gate line V2, reset pulse ϕ_{ic} (P2) is impressed, and a pixel and a train electrode line are reset. And a pulse ϕ_{iT2} (P6) turns on, and the signal charge of memory 200 is written in the pixel which stands in a row on the gate line V2. The same actuation is repeated during the 1 field. In the next field, gate pulse $\phi_{iGermanium}$ and ϕ_{iG} are impressed to the interlace control circuit 300 (drawing abbreviation), and an interlace drive is performed.

[0055] By considering as such a configuration, image display which is excellent in horizontal resolution and vertical definition, and a flicker does not produce can be performed.

[0056] Another suitable example of this invention is shown in [example 2] drawing 13. This example is the case where input signals differ, although the panel configuration is the same as what is shown in drawing 10. That is, although the sampling phase was changed and being written in the pixel of two lines from the same signal of R, G, and B in the example mentioned above, in this example, by the frame memory 70, an odd number field signal is incorporated in memory 100, an even number field signal is incorporated in memory 200, and odd number and an even-number field signal are displayed on coincidence. The extremely excellent image engine performance which does not have a flicker in horizontal resolution and vertical definition by this drive can be obtained.

[0057] [Example 3] Still more nearly another suitable example is explained. Drawing 14 is a typical block diagram for explaining this example. Although the same number as the cash-drawer number shown in drawing 14 is attached in drawing 10, the thing of the same number has the same member or the same function.

[0058] A different point especially from drawing 10 in drawing 14 has the delay circuit 15 in this example, and pulse H1n and H2n are points impressed corresponding to two or more switches, respectively. In addition, at drawing 14, they are the string data lines D1 and D2. -- It has distributed so that it is made to become one combination of B, G, R, and B, G and R at Dn, respectively, and one side may serve as left-hand side and another side may serve as right-hand side.

[0059] 15 is a delay circuit, and time delay $2T$ are a space sampling period between the pixels of one line, and, specifically, in the case of 600 level pixel numbers, are about 90ns. In order to double the phase of B and R signal to G signal, $4T$ for two pixels and delay of R signal are set to $2T$ for one pixel by delay of B signal. By this, it puts in block 3 pixels of video signals at a time, and they are recording of them in memory 100 or 200 is attained.

[0060] That is, pulse H1n and H2n, it is impressed by three switches in juxtaposition, respectively, the signal of R, G, and B is sampled to coincidence by this pulse, and it accumulates in memory temporarily. For example, the signal of B1, R1, and G1 is accumulated in capacitors C11, C12, and C13, and the signal of B-2, and R2 and G2 is accumulated in capacitors C22, C23, and C24.

[0061] Drawing 15 is the timing chart of each signal in the example shown in drawing 14. Illustration R (G, B) is signal lines 31-33 and the signal inputted into 31' - 33'. Each chrominance signal is accumulated in memory 100 and 200 by pulse H1n from the

horizontal scanning circuit 30-1, and H2n temporarily. B, R, and G signal are sampled by coincidence by pulse H1n, respectively, and B, R, and G signal are sampled by coincidence by pulse H2n, respectively. As shown in drawing, phases differ 180 degrees H1n and H2n.

[0062] Thus, after a horizontal effective scan period expires, while gate pulse phiGo (P2) is impressed to the line control line (gate line) V1, reset pulse phic (P1) is impressed to coincidence. Therefore, the pixel and string data line which stand in a row on the gate line V1 are reset by potential Vc. Although this reset potential has the desirable black potential of a chrominance signal, the middle potential of a reversal signal is sufficient.

[0063] Next, while pulse phic turns off, the transfer pulse phiT1 (P3) turns on, and the signal charge of a memory circuit 100 is written in the pixel which stands in a row on the gate line V1. While gate pulse phigermanium (P5) is succeedingly impressed to the gate line V2, reset pulse phic (P2) is impressed and a corresponding pixel and a corresponding train electrode line are reset. And a pulse phiT2 (P6) turns on, and the signal charge of a memory circuit 200 is written in the pixel which stands in a row on the gate line V2.

[0064] The same actuation is repeated during the 1 field. In the next field, gate pulse phigermanium and phiG are impressed to the interlace control circuit 300 (drawing abbreviation), and an interlace drive is performed. By considering as such a configuration, image display which horizontal resolution and vertical definition are excellent in, and a flicker does not produce can be performed.

[0065] In addition, the rough block diagram of this example can apply the configuration of drawing 11 mentioned above. In this case, what is necessary is just to prepare the signal delay circuit into the digital disposal circuit 40. Of course, a signal delay circuit can also be prepared separately from a digital disposal circuit 40. Moreover, the interlace control circuit 300 is omitted in drawing 11.

[0066] That is, in this example, the signal from the signal delay means 15 which carries out synchronization of the timing of a sampling of the picture signal of each color is supplied to said memory circuit, for example. Moreover, a driving signal supply means scans the line of each pixel by interlace scanning, supplies the driving signal, and is equipped with two of said memory circuits up and down, and supplies them to the driving signal impression means of each pixel of two lines which scans the signal which these sample by the pair, respectively and which adjoined.

[0067] [An example 4], next another suitable example of this invention which transformed the above-mentioned example are explained. Although the panel configuration is the same as what is shown in drawing 14 in this example, the case

where an input signal is changed is explained. The rough block diagram of this example is the same as above-mentioned drawing 13.

[0068] Although the sampling phase was changed and being written in the pixel of two lines from the same signal of R, G, and B in the example mentioned above, in this example, by the frame memory 70, an odd number field signal is incorporated to a memory circuit 100, an even number field signal is incorporated to a memory circuit 200, and the signal of odd number and the even-number field is displayed on coincidence.

[0069] That is, in this example, a driving signal supply means supplies the signal of each color sampled to coincidence one by one to the same line or a driving signal impression means of the pixel of two lines to adjoin. It cannot be overemphasized that the signal of B and G delays a signal by the delay circuit 15 also in this case, two or more pixels are put in block, and it enables it to deal with it.

[0070] By this drive, the extremely excellent image engine performance which does not have a flicker in horizontal resolution and vertical definition can be obtained. That is, in this example, said memory circuit had a means (801) to have distributed the picture signal of each color by which synchronization was carried out, and to delay it again, and has sampled this delayed signal to said picture signal and coincidence of each color by which synchronization was carried out.

[0071] In addition, as for a gap of the longitudinal direction of each spacing which the timing of the sampling in said two memory circuits is shifted mutually the term $1/2$ round, and adjoins, in the above-mentioned example, it is desirable that it is $1/2$ of said repetition pitch. Moreover, in the above-mentioned example 3 - an example 8, without making circuitry complicate compared with the case where it has sampled for every signal of each color, since the signal of each color is sampled by coincidence, a sampling frequency decreases and a sampling period becomes long. Therefore, while a faithful display is performed by the input picture signal, the pulse for a sampling decreases and power consumption is mitigated.

[0072] The example of further others of this invention is shown in drawing 16 - drawing 19.

[0073] To the example of drawing 14, [example 5] drawing 16 changes connection with the string data line of a pixel, and connects the pixel of the same color to one string data line alternately with right and left for every line.

[0074] [Example 6] drawing 17 is made to sample a chrominance signal to coincidence in the pixel train of two lines. Since the pixel signals B1, R1, and G1 (B-2, R2, G2 --) of two lines are sampled by coincidence and a horizontal spatial sampling period is set to one half of the examples of drawing 14 in this example, the time delay of a delay circuit 15 is

set to one half (however, the substantial spatial sampling period of two lines is equal to the case of the example of drawing 14). Therefore, when a delay circuit 15 is constituted from an analog circuit, since the one of a phase characteristic where a time delay is shorter is generally good, it becomes high definition.

[0075] Although [example 7] drawing 18 is the same as the pixel connection method of the example of drawing 16, since a chrominance signal is sampled to coincidence about the pixel train of two lines, there is the same effectiveness as the case of drawing 17.

[0076] [Example 8] drawing 19 is the example which used three signal lines of B, R, and G as six signal lines through the delay circuit 801 of 6 T parts, in order to reduce the drive frequency of a horizontal scanning circuit further. In this case, level drive frequency is set to one half to a pan by sampling from these six signal lines to coincidence.

[0077] In the example which gave the [example 9] above-mentioned explanation, although the case where the signal which distributed the picture signal to memory circuits 100 and 200, respectively was accumulated was explained, memory circuits 100 and 200 are good only also as either.

[0078] The rough block diagram of this example is shown in drawing 20. In the block diagram illustrated, the same number is described in the circuit which has the same actuation or the same function as drawing 4. As for this example, two image input write-in means are established to the one perpendicular data line, the first write-in means is sampling circuit 430-B and horizontal scanning circuit 440-B, and the second write-in means is a register circuit 470 sampling circuit 430-A, horizontal scanning circuit 440-A, and temporarily.

[0079] That is, in this example, the register circuit 470 is formed only in the write-in second means side temporarily which is a memory circuit. The color signal of a digital disposal circuit 450 separates directly in the system led to sampling circuit 430-B, and the system led to sampling circuit 430-A through amplifier 480.

[0080] Since a register circuit 470 is generally formed from capacity, if the perpendicular direction data line is obtained from this register circuit and it transmits to pixel capacity, there will mainly be a capacitive component rate by the parasitic capacitance of the perpendicular direction data line, and signal amplitude will fall. There is amplifier 80 for compensation of this signal amplitude fall.

[0081] An example of the rough equal circuit of this example is shown in drawing 21. As shown in drawing 21, the pixel of the same color distributes each pixel of the display picture element part 410 to right and left by turns for every line, and it is allotted to the data line 414 of one perpendicular direction. Moreover, the non-illustrated switching

element is prepared in each pixel, respectively, and supply of a status signal is enabled by gate selection at each pixel electrode (un-illustrating).

[0082] One side of the main electrode of the reset transistor 417 is connected to each perpendicular direction data line 414, and another side of the main electrode of the reset transistor 417 is connected to the reset potential V_c . And the control electrode of two or more reset transistors 417 connected to each perpendicular direction data line 414 is connected electrically, respectively, and the drive of two or more reset transistors 417 to coincidence is enabled.

[0083] The register circuit 470 which is a memory circuit has the transfer transistor 419 for transmitting the signal charge accumulated in storage capacitance 418 storage capacitance 418 (CT) and temporarily [this] temporarily to the perpendicular direction data line 414. In this example, like said reset transistor 417, it connects in common electrically, and the drive of each control electrode of two or more transfer transistors 419 is enabled collectively.

[0084] An example of the drive timing chart of this example is shown in drawing 22 (A). In illustration each pulse, each transistor will be in switch-on in the period of "yes." By making pulse ϕ_{ic} into a high, T1 period is made to flow through the reset transistor 417, and the perpendicular direction data line 414 is reset to a reference potential V_c at it. next, T2 period -- the horizontal scanning pulse ϕ_{H1} (h_{11} , h_{12} --) and the perpendicular gate pulse g_2 -- respectively -- yes, a color signal (R, G, B) is directly written in each line pixel (g_2) by it being alike and carrying out. Moreover, a color signal (R' , G' , B') is accumulated in the momentary storage capacitance 418 of a register circuit 470 by making coincidence the horizontal scanning pulse ϕ_{H2} (h_{21} , h_{22} --) at a high. After T2 period expires, the perpendicular gate pulse ϕ_{ig2} becomes a low, and the pixel transistor of the line pixel will be in non-switch-on, and holds the written-in electrical potential difference.

[0085] During T tertiary stage, it is made to flow through the reset transistor 417 by making pulse ϕ_{ic} into a high again, the residual charge of the perpendicular direction data line 414 is removed, and the data line is reset to a reference potential V_c . And while making it flow through the transfer transistor 419 by making pulse ϕ_{iT} into a high at T-four period, make a pulse ϕ_{ig1} into a high, it is made to flow through a line pixel (g_1), and the color signal (R' , G' , B') of storage capacitance 418 is transmitted and written in temporarily. Although, as for the signal written in the line pixel (g_1), signal level falls by the capacitive component rate at this time, since the signal is amplified beforehand, it becomes the same as that of the signal level written in the previous pixel line (g_2).

[0086] Thus, it means that it writes in two line pixels to the timing from which the color signal of a digital disposal circuit 450 differs by a series of drives of a 1 horizontal-scanning period of T-four period, and was held from T1. Therefore, between two line pixels, while the sampling frequency of a picture signal becomes twice over the past and resolution improves, the color moire by the clinch distortion of a sampling can also be reduced.

[0087] Gap of the pulse ϕ_{H1} in drawing 22 (A) and the start timing of ϕ_{H2} , and h_{21} and h_{22} takes into consideration a part for 1.5-pixel gap of the spatial arrangement of the same chrominance signal between two line pixels.

[0088] In addition, in drawing 21, g_i ($i=1, 2 \dots$) may also be the gate line of 3 terminal mold switching element, and may be the opposite scan pole of 3 terminal mold switching element. That is, the intersection 414 of g_i ($i=1, 2 \dots$) and the data line may be TFT (Thin Film Transistor), and diode (MIM: Metal-Insulator-Metal is included) is sufficient as it.

[0089] The 10th example of [example 10] this invention is shown. It is the same as the 9th example except drive timing. The drive timing of the 10th example is shown in drawing 22 (B). In addition, the sampling timing of ϕ_{H2} and ϕ_{H1} is the same as drawing 21 (A).

[0090] In this example, the perpendicular direction data line accumulates the picture signal sampled by sampling circuit 430-B of T2 period temporarily in the wiring capacity which it has, respectively, and this are recording signal is transmitted to the pixel corresponding to during T tertiary stage by the pulse ϕ_{H2} . next, T3' period -- the data line -- a reference potential V_c -- resetting -- T-four period -- a pulse ϕ_{H1} and ϕ_{H2} -- yes, the signal of storage capacitance 418 is transmitted to a corresponding pixel by it being alike and carrying out temporarily. Although it may be shaken in the direction which the pixel of a line other than the line which the electrical potential difference of a gate line is shaken by impression of a signal by the property of a switching element etc., and is written in leaks, according to this example, the image which has neither a cross talk nor leak and was stabilized can be obtained only by preparing memory in one side.

[0091] The 11th example of this invention is shown in [example 11] drawing 23. In this example, by preparing buffer circuit 400-B in the preceding paragraph of the data line 414 by the side of a register circuit 470, the capacitive component rate fall of a signal can be avoided and the amplifier 480 as shown in the example of drawing 20 can be lost. Moreover, the fixed offset voltage between buffer circuit 400-A and 400-B can be offset by preparing buffer circuit 400-A in the preceding paragraph of the data line 414 by the side of sampling circuit 430-B.

[0092] In addition, in drawing 23 , ϕ_{ITd} and ϕ_{ITs} can reduce power consumption by supplying the power source of a buffer circuit only at the time of the signal-charge transfer to the pixel which is a power control pulse. Moreover, the pixel of a display 410 is omitted in drawing 23 .

[0093] In addition, although not touched especially in the above-mentioned explanation, in order to prevent degradation of liquid crystal, it is desirable to make into reversed polarity by turns the polarity impressed to liquid crystal (to carry out a reversal drive). In this case, you may make it become reversed polarity corresponding to the signal distributed up and down, respectively, and a polarity may be reversed for every field.

[0094] Moreover, it sets to the above-mentioned explanation and they are R and G. Although the example using three colors of B was shown, other colors may be combined further if needed. Of course, you may be mono-colors, such as black and white, or 2 color specification.

[0095] Moreover, especially this invention is not restricted to color pixel arrangement. For example, this invention is applicable by changing the timing of a sampling circuit suitably according to color pixel arrangement.

[0096] In addition, the configuration of a memory circuit etc. is an example, for example, and if it has the same function, the thing which were shown in each above-mentioned example and which can be transformed suitably cannot be overemphasized.

[0097] Moreover, naturally in this invention, it may deform within the limits of the main point of this invention suitably.

[0098]

[Effect of the Invention] As mentioned above, according to this invention, the liquid crystal display with more high resolution which can perform more nearly high-definition image display, and its drive approach are offered.

[0099] Moreover, according to this invention, the liquid crystal display with which a high definition image is obtained with the easy configuration of establishing two image input means, and its drive approach are offered.

[0100] Moreover, since a frame memory etc. was not used, a low power, a small and cheap active-matrix liquid crystal display, and its drive approach are offered.

[0101] In addition, the high definition color liquid crystal display with an easy and color change for this invention can be driven easily. Moreover, since there is also no mixing of a color and a horizontal scanning circuit can also operate by the usual drive frequency even if it arranges two colors by turns on a train electrode line, it is low power.

[0102] In addition, image display which has higher level and vertical definition according to this invention, and does not have a flicker can be performed.

[0103] Furthermore, according to this invention, level drive frequency can be reduced sharply and the sampling time can be lengthened. Therefore, power consumption can be reduced while enabling the display of high resolution faithful to a picture signal.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining an example of a liquid crystal display.

[Drawing 2] It is drawing for explaining the drive approach of the liquid crystal display shown in drawing 1.

[Drawing 3] It is drawing for explaining another liquid crystal display.

[Drawing 4] It is another block block diagram of a color liquid crystal display.

[Drawing 5] It is the representative circuit schematic of the display picture element part 410 and a sampling circuit 430 in the equipment of drawing 4.

[Drawing 6] It is the explanatory view showing the situation of interlace scanning in a liquid crystal display.

[Drawing 7] It is the timing chart showing the example of drive timing at the time of applying the example of a scan of drawing 6 to drawing 5.

[Drawing 8] It is drawing for explaining the example of wiring of another liquid crystal display.

[Drawing 9] It is the timing chart showing the example of drive timing of the example of double-speed scan.

[Drawing 10] It is a typical block diagram for explaining an example of the liquid crystal display of this invention.

[Drawing 11] It is a rough block diagram concerning the liquid crystal display of this invention.

[Drawing 12] It is a timing chart for explaining an example of the drive approach of the liquid crystal table equipment of this invention.

[Drawing 13] It is a rough block diagram concerning the liquid crystal display of this invention.

[Drawing 14] It is a typical block diagram for explaining one example of this invention.

[Drawing 15] It is the timing chart of each signal in the example shown in drawing 14.

[Drawing 16] It is the typical block diagram of an example into which connection with the perpendicular signal line of a pixel was changed to the example of drawing 14.

[Drawing 17] It is the rough block diagram of the example which samples a chrominance signal to coincidence in the pixel train of two lines.

[Drawing 18] It is the rough block diagram of other examples which were made to sample the chrominance signal to coincidence in the pixel train of two lines.

[Drawing 19] It is the rough partial block diagram of the example which used three signal lines of B, R, and G as six signal lines through the delay circuit.

[Drawing 20] It is a rough block diagram for explaining other examples of this invention.

[Drawing 21] It is the typical circuitry Fig. of the liquid crystal display shown in drawing 20 .

[Drawing 22] It is a timing chart for explaining the drive timing of the example of this invention.

[Drawing 23] It is a typical circuitry Fig. for explaining still more nearly another example of this invention.

[Description of Notations]

A C1n and C2n:capacitor group, D1 and D2, --Dn : A string data line, Tr-c : A reset switch, Tr-T1, and Tr-T2:transfer switch group, Vn: The line control line, 10:panel (liquid crystal display component), 15 : A delay circuit, 20:vertical-scanning circuit, 30-1, a 30-2:horizontal scanning circuit, 31, 32 and 33, and 31' -- 32' and a 33':signal line -- 40 : A digital disposal circuit, 50:control circuit, 60:image transcription regenerator, 70:frame memory, 80,480 : Amplifier, a 100,200:memory circuit, a 300:interlace circuit, 400-A, a 400-B:buffer circuit, 410:display picture element part, 414 : The data line, 417: A reset transistor, 418(CT):one time storage capacitance, a 419:transfer transistor, 430-A, a 430-B:sampling circuit, 440-A, a 440-B:horizontal-scanning circuit, a 450:digital disposal circuit, a 470:one time register circuit, 801: Delay circuit.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-030241

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 06-171555

(71)Applicant : CANON INC

(22)Date of filing : 01.07.1994

(72)Inventor : HASHIMOTO SEIJI

(30)Priority

Priority number : 05190092 Priority date : 30.07.1993 Priority country : JP

06 33217 07.02.1994

06 98677

12.05.1994

JP

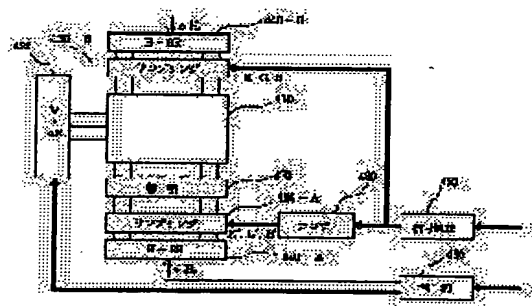
JP

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To perform a high definition image display by providing a first write means incorporating a first horizontal scanning circuit of one side of a data line commonly connected to a row of a pixel and a second write means incorporating a second horizontal scanning circuit of the other side and storing a signal sampled by it.

CONSTITUTION: Two image input write means are provided for one vertical data line, and the first write means are a sampling circuit 430-B and the horizontal scanning circuit 440-B. The second write means are the sampling circuit 430-A, the horizontal scanning circuit 440-A and a temporary storage circuit 470. That is, the temporary storage circuit 470 being a memory circuit is provided on only the second write means side. A chrominance signal of a signal processing circuit 450 is separated to a system directly led to the sampling circuit 430-B and the system led to the sampling circuit 430-A through an amplifier 480. When the storage circuit 470 obtains a vertical direction data line and transfers it to pixel capacity, a signal amplitude is lowered, and the amplifier 480 compensates it.



LEGAL STATUS

[Date of request for examination] 10.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3133216

[Date of registration] 24.11.2000

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office